



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07152824 A

(43) Date of publication of application: 16.06.95

(51) Int. Cl. G06F 17/50

(21) Application number: 06240368

(22) Date of filing: 04.10.94

(30) Priority: 04.10.93 JP 05247889

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor:  
 TSUCHIDA MASAYUKI  
 UEMURA HIROICHI  
 YOSHIMURA HIROYUKI  
 NISHIMURA YUICHI  
 MIURA SHINJI  
 SAITO YOSHIYUKI  
 SUEDA NOBUO

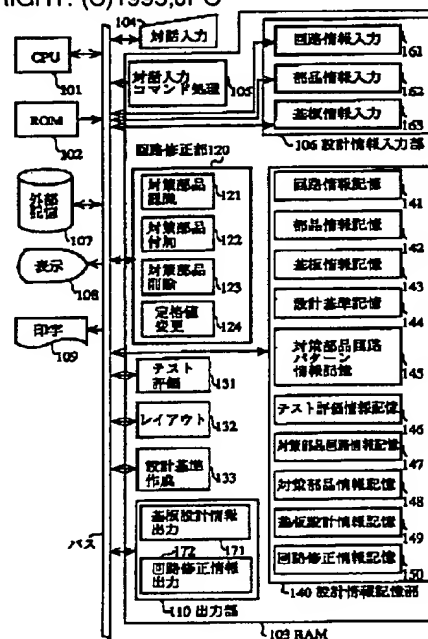
## (54) PRINTED CIRCUIT BOARD DESIGNING METHOD/SYSTEM

## (57) Abstract:

**PURPOSE:** To provide a method/system which can design a printed circuit board which excels in the electrical characteristics.

**CONSTITUTION:** In a printed circuit board designing system, a circuit correcting part 120 adds the countermeasure parts based on the printed circuit board information, etc., inputted from a design information input part 106. Then a design reference producing part 133 produces a design reference, and a layout part 132 performs an automatic layout job. A rated value changing part 124 decides the parts rated value according to the layout and outputs the board information through 8 board design information output part 106. Thus, the production of the design reference, the addition of the countermeasure parts and the decision of the rated value can be automatically attained to satisfy the electrical characteristics including the noises, etc. Then the interactive processings can be decreased for the designing of the circuit board and this designing efficiency can also be improved.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-152824

(43) 公開日 平成7年(1995)6月16日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 17/50

7623-5L

G 0 6 F 15/ 60

3 7 0 A

7623-5L

3 7 0 K

審査請求 未請求 請求項の数23 O L (全 36 頁)

(21) 出願番号 特願平6-240368

(22) 出願日 平成6年(1994)10月4日

(31) 優先権主張番号 特願平5-247889

(32) 優先日 平5(1993)10月4日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 土田 雅之

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72) 発明者 植村 博一

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72) 発明者 吉村 宏之

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(74) 代理人 弁理士 中島 司朗

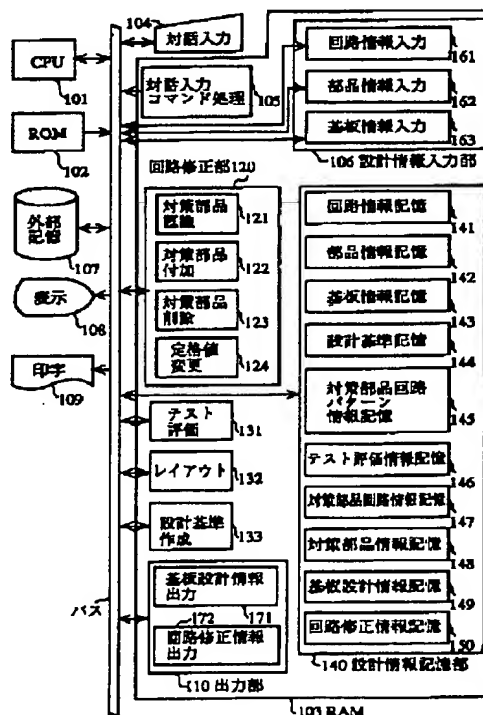
最終頁に続く

(54) 【発明の名称】 プリント基板設計方法およびシステム

(57) 【要約】

【目的】 電気的特性に優れた回路基板を設計することができるプリント基板設計方法およびシステムを提供する。

【構成】 プリント基板設計システムは、設計情報入力部106から入力されたプリント基板情報等をもとに、回路修正部120が対策部品の付加を行い、さらに設計基準作成部133が設計基準を作成した後、レイアウト部132は自動レイアウトを行なう。定格値変更部124はレイアウトに応じた部品定格値を定め、基板設計情報出力部106から基板情報を出力する。これにより、ノイズ等の電気的特性を満足するために設計基準の作成、対策部品の付加、その定格値の決定を自動的に行うことで、設計時の対話的処理を少なくし、設計の効率化を図ることができる。



## 【特許請求の範囲】

【請求項 1】 設計しようとする回路基板に使用する基板、基板上にレイアウトするべき回路およびそれに含まれる部品に関する回路基板情報と前記回路基板に生じるノイズを防止するための対策に関するノイズ対策情報と設計段階における回路基板の電气的特性評価に関する評価情報とから回路基板を設計する回路基板設計システムであって、  
前記回路基板情報、前記ノイズ対策情報および前記評価情報を入力する入力手段と、  
入力された前記ノイズ対策情報中に記述されている対策部品に関する情報に基づいて、前記回路基板情報に示される回路中に対策部品を付加し、前記回路基板情報を対策部品付加後の回路を記述するよう修正する対策部品付加手段と、  
前記対策部品付加手段が修正した前記回路基板情報と前記ノイズ対策情報中に記述されているレイアウト上の制限を示す情報とに基づいて、前記回路基板情報によって記述される基板上に、部品および配線のレイアウトを行い、レイアウトを行った部品および配線の位置を基板上の座標値としてレイアウト情報を作成するとともに、前記回路基板情報をさらにレイアウト後の回路を記述するように修正するレイアウト手段と、  
設計段階における回路基板の電气的特性評価に関する前記評価情報に基づいて、前記レイアウト情報とその時点における回路基板情報とによって記述される回路中のテスト評価対象の電气的特性の良否を評価するテスト評価手段と、  
前記テスト評価手段によって電气的特性が悪いと評価された前記テスト評価対象に付加されている対策部品について、前記ノイズ対策情報中の対策部品に関する情報に基づいて、前記対策部品を異なる定格値の対策部品に変更するとともに、前記回路基板情報を定格値変更後の回路を記述するように修正する定格値変更手段と、  
前記レイアウト手段がレイアウトを完成する毎に、前記テスト評価手段を起動し、前記定格値変更手段が回路中の対策部品の定格値を変更する毎に、前記テスト評価手段を起動する制御手段と、  
前記回路基板情報と前記レイアウト情報とに記述されている回路中のテスト評価対象のうち、予め定めるテスト評価対象が前記テスト評価手段によって電气的特性が良く評価された場合には、前記回路基板情報と前記レイアウト情報とを出力する出力手段とを含むことを特徴とするプリント基板設計システム。

【請求項 2】 前記対策部品付加手段は、

前記ノイズ対策情報中の情報であって、対策部品を付加すべき回路中の箇所を示す情報と入力された前記回路基板情報とを照合し、入力された前記回路基板情報中に記述されている回路の中で対策部品を付加すべき箇所を認識する対策部品付加箇所認識部と、

前記対策部品付加箇所認識部が認識した対策部品付加箇所すでに付加されている対策部品を認識する対策部品認識部と、

前記ノイズ対策情報に前記対策部品付加箇所に対応して定められている、付加すべき対策部品を示す情報と前記対策部品を付加するときの定格値を示す情報とに基づいて、前記対策部品認識部が認識した対策部品付加箇所であって、まだ対策部品が付加されていない箇所に、予め定める対策部品を付加する対策部品付加部と、

10 前記対策部品認識部が認識した対策部品と前記対策前記対策部品付加部が新たに付加した対策部品とに優先順位を設定する優先順位設定部と、

前記優先順位設定部が優先順位を設定した各対策部品につき前記回路基板情報内の前記対策部品を記述する情報に前記優先順位を示す情報を付加し、前記対策部品付加部が新たに対策部品を付加した場合には、前記対策部品付加部が対策部品を付加した後の回路を記述するよう、入力された前記回路基板情報を修正する第 1 回路基板情報修正部とを含み、

20 前記レイアウト手段は、

前記回路基板情報に記述されている基板上の領域であって、前記第 1 回路基板情報修正部によって修正された前記回路基板情報に記述されている回路に含まれる部品および前記部品を接続する配線をレイアウトしても良い領域を認識するレイアウト領域認識部と、

前記レイアウト領域認識部が認識した領域に、前記ノイズ対策情報中に記述されているレイアウト上の制限に従って、前記回路基板情報に記述されている回路に含まれる部品と前記部品を接続する配線とをレイアウトするレイアウト部と、

30 前記レイアウト領域認識部が認識した領域内に、前記レイアウト部が、レイアウトすべきすべての前記部品と前記配線とのレイアウトを完成することができるかを判断するレイアウト判断部と、

前記レイアウト部が前記レイアウトを完成することができないと前記レイアウト判断部が判断した場合に、前記第 1 回路基板情報修正部が修正した回路基板情報に記述されている回路中の対策部品であって削除可能な対策部品を、前記優先順位設定部によって設定された優先順位

40 が低いものから順次、削除する対策部品削除部と、  
前記レイアウト部がレイアウトを行った部品および配線の位置を基板上の座標値としてレイアウト情報を作成するレイアウト情報作成部と、

前記回路基板情報中の回路中に含まれる部品を記述する情報に、前記対策部品削除部がどの対策部品を削除したかを示す情報を付加することにより前記第 1 回路基板情報修正部が修正した回路基板情報をさらに修正する第 2 回路基板情報修正部と、

50 前記対策部品削除部が前記対策部品を削除する毎に、前記レイアウト領域認識部と前記レイアウト部と前記レイ

アウト判断部とを起動するレイアウト制御部とを含むことを特徴とする請求項1記載のプリント基板設計システム。

【請求項3】 前記定格値変更手段は、前記ノイズ対策情報中に記述されている情報であって、異なる定格値の対策部品に変更が可能な対策部品を示す情報と前記対策部品の変更可能な定格値の範囲を示す情報とに基づいて、前記テスト評価手段によって電気的特性が悪いと評価された前記テスト評価対象に付加されている対策部品であって、異なる定格値の対策部品に変更が可能な対策部品について、前記対策部品を異なる定格値の対策部品に変更する定格値変更部と、第2回路基板情報修正部によって修正された回路基板情報を定格値変更後の回路を記述するように修正する第3回路基板情報修正部とを含むことを特徴とする請求項2記載のプリント基板設計システム。

【請求項4】 前記定格値変更部が定格値の変更が可能なすべての前記対策部品の定格値を変更しても、なお、前記テスト評価手段が定格値変更後の回路に含まれる予め定めるテスト評価対象の電気的特性を良いと評価しない場合には、前記レイアウト手段を起動してその時点における回路基板情報内に記述されている回路を、前記レイアウト情報に記述されている位置とは異なる位置に再度レイアウトさせるレイアウト変更制御部と、前記レイアウト変更制御部の指示に基づいて前記レイアウト手段がレイアウトを行った後のテスト評価の結果、前記テスト評価手段によって電気的特性が悪いと評価された前記テスト評価対象につき、前記対策部品削除部が削除した前記対策部品を優先順位の高いものから順に再度付加する削除対策部品付加部と、前記削除対策部品付加部が再度付加した対策部品に付加されている優先順位を、当該対策部品を削除することができないことを示す優先順位に変更する優先順位変更部と、前記第2回路基板情報修正部が付加した情報であって、対策部品を削除したことを示す情報を再度回路中に付加したことを示す情報に修正するとともに、前記対策部品を記述する情報中の優先順位を前記優先順位変更部が変更した優先順位に修正する第4回路基板情報修正部と、前記レイアウト変更制御部の指示に基づいて前記レイアウト手段がレイアウトを行い、それに続いて前記テスト評価手段がテスト評価を行った後、前記定格値変更手段を待機させるとともに、前記削除対策部品付加部が、一旦、前記レイアウト手段によって削除された対策部品を再度回路中に付加する毎に、前記レイアウト手段を起動し、前記削除対策部品付加部が、再度付加してもよいすべての削除対策部品を付加した後の回路中のテスト評価対象につき、前記テスト評価手段が予め定めるテスト評価対象の電気的特性を良いと評価しない場合には、前記定格値変更手段を起動する削除対策部品付加制御部とを

さらに含むことを特徴とする請求項3記載のプリント基板設計システム。

【請求項5】 前記対策部品付加手段は、前記対策部品付加箇所認識部が認識した対策部品付加箇所を含む回路部分であって、前記評価情報に記述されている回路テスト評価対象について回路シミュレーションを行い、前記回路テスト評価対象の回路シミュレーション出力が前記評価情報に記述されている回路テスト評価基準を満足するか否かを判断し、前記回路テスト評価対象の回路シミュレーション出力が前記回路テスト評価基準を満足しない場合には、前記対策部品付加部を起動し、前記ノイズ対策情報に記述されている情報であって、回路中に付加すべき対策部品を示す情報と前記対策部品を付加するときの定格値を示す情報とに基づいて、前記対策部品認識部が認識した対策部品付加箇所に、予め定める対策部品を付加させる回路テスト部をさらに含むことを特徴とする請求項2または請求項4記載のプリント基板設計システム。

【請求項6】 前記対策部品付加手段は、前記対策部品付加部が対策部品を付加した回路部分について、回路シミュレーションを行い、予め定める回路テスト評価対象の回路シミュレーション出力が予め定める回路テスト評価基準を満足するか否かを判断することによって、前記対策部品付加部が対策部品を付加した回路部分の電気的特性の良否を評価する回路テスト評価部と、前記回路テスト評価部が、前記対策部品付加部が対策部品を付加した回路部分の電気的特性が悪いと評価した場合には、前記回路部分に含まれる定格値を変更することが可能な全ての対策部品について別の定格値の対策部品に変更する対策部品定格値変更部と、前記対策部品定格値変更部が前記対策部品を別の定格値の対策部品に変更する毎に、前記回路テスト評価部を起動して、前記回路テスト評価部に別の定格値の対策部品に変更した回路部分について電気的特性の評価を行わせる対策部品定格値変更制御部とをさらに含むことを特徴とする請求項2、請求項4または請求項5記載のプリント基板設計システム。

【請求項7】 前記定格値変更手段は、定格値の変更が可能な対策部品を定格値の異なる対策部品に変更することによって前記テスト評価手段によって前記テスト評価対象の電気的特性が良いと評価された当該テスト評価対象に付加されている対策部品の定格値を検出し、検出した前記定格値と、入力された前記ノイズ対策情報中に記述されている情報であって、回路中に付加されている対策部品の定格値を変更した結果、定格値を変更した後の対策部品が前記回路にとって不要となる時の前記定格値の範囲を示す情報とを比較し、検出した前記定格値が前記情報に示される定格値の範囲内にある場合には、定格値を変更した結果定格値が前記情報に

示される定格値の範囲となった対策部品を不要な対策部品として認識する不要対策部品認識部と、前記不要対策部品認識部が認識した対策部品を削除し、前記回路基板情報を不要対策部品削除後の回路を記述するよう修正するとともに、前記レイアウト手段を起動する不要対策部品削除部とをさらに含むことを特徴とする請求項1、請求項2、請求項4または請求項6記載のプリント基板設計システム。

【請求項8】 入力された回路基板情報に基づいて基板上に回路をレイアウトするにあたって従うべきレイアウト上の制限である設計基準を作成するための情報であって、設計基準を作成すべき対象を示す情報および前記設計基準作成対象がとりうる値の許容範囲を定める際のパラメータを示す情報などを示す設計基準作成情報を入力する設計基準作成情報入力部と、前記設計基準作成情報に従って予め定められる設計基準作成対象につき、予め定められる前記パラメータの下で設計基準作成対象の取りうる値を予め定める値ずつ変化させ、設計基準作成対象の取りうる値を予め定める値ずつ変化させる毎に、前記設計基準作成対象についてシミュレーションを行い、前記シミュレーション結果が予め定める設計基準作成評価基準を満足するまで設計基準作成対象の値の変更とシミュレーションによる評価とを繰り返し、前記シミュレーション結果が予め定める設計基準作成評価基準を満足したときの設計基準作成対象の値を設計基準作成対象の許容値として設計基準を作成する設計基準作成部と、前記設計基準作成部が前記設計基準作成対象の取りうる値を可能な範囲ですべて変化させても、まだ、前記シミュレーション結果が前記設計基準作成評価基準を満足しない場合には、その旨を出力し、前記シミュレーション結果が予め定める設計基準作成評価基準を満足したときには、前記設計基準作成部が作成した設計基準を出力するとともに、前記設計基準作成部が作成した設計基準に基づいてレイアウトを行うよう前記レイアウト手段に指示する設計基準出力部とをさらに含むことを特徴とする請求項1、請求項4または請求項7記載のプリント基板設計システム。

【請求項9】 前記テスト評価手段は、回路を実際の基板上にレイアウトした場合の部品の位置、配線長、層間の接続状態、配線の物理的形状、基板の誘電率などに基づいて、回路中の各部品端子を接続するネットに予め定める入力波形を与えた場合の出力波形を計算によって求める伝送線路シミュレータを含むことを特徴とする請求項8記載のプリント基板設計システム。

【請求項10】 前記設計基準作成部は、回路を実際の基板上にレイアウトした場合の部品の位置、配線長、層間の接続状態、配線の物理的形状、基板の誘電率などに基づいて、回路中の各部品端子を接続す

るネットに予め定める入力波形を与えた場合の出力波形を計算によって求める伝送線路シミュレータを含むことを特徴とする請求項8または請求項9記載のプリント基板設計システム。

【請求項11】 入力された回路基板情報に基づいて基板上に回路をレイアウトするにあたって従うべきレイアウト上の制限である設計基準を作成するための情報であって、設計基準を作成すべき対象を示す情報および前記設計基準作成対象がとりうる値の許容範囲を定める際のパラメータを示す情報などを示す設計基準作成情報を入力する設計基準作成情報入力部と、

予め定める設計基準作成対象毎に、予め定める前記パラメータの値に対応する設計基準を記憶する設計基準記憶部と、

前記設計基準作成情報入力部によって入力された設計基準作成情報に基づいて、予め定める設計基準作成対象につき、前記回路基板情報からパラメータの値を読み出し、読み出した前記パラメータ値で定められる設計基準を前記設計基準記憶部から読み出し、読み出した設計基準を当該設計基準作成対象の設計基準として定める設計基準作成部と、

前記設計基準作成部が定めた設計基準を出力するとともに、前記設計基準作成部が定めた設計基準に基づいてレイアウトを行うよう前記レイアウト手段に指示する設計基準出力部とをさらに含むことを特徴とする請求項1、請求項4または請求項7記載のプリント基板設計システム。

【請求項12】 前記テスト評価手段は、予め定めるテスト評価対象毎に、前記テスト評価対象を含む回路部分に付加されている対策部品の種類およびその定格値の範囲を記憶するテスト評価基準記憶部と、前記評価情報中に記述されている情報であって、レイアウト後の回路上のテスト評価対象を示す情報に基づいて、前記レイアウト情報とその時点での前記回路基板情報とによって記述される回路中のテスト評価対象を認識するテスト評価対象認識部と、

前記テスト評価対象認識部が認識したテスト評価対象を含む回路部分に付加されている対策部品の種類および定格値が前記テスト評価基準記憶部に記憶されているテスト評価基準を満足するかどうかを判定することにより、当該テスト評価対象の電気的特性の良否を評価するテスト評価部とを含むことを特徴とする請求項8記載のプリント基板設計システム。

【請求項13】 設計しようとする回路基板に使用する基板、基板上にレイアウトすべき回路およびそれに含まれる部品に関する回路基板情報と前記回路基板に生じるノイズを防止するための対策に関するノイズ対策情報と設計段階における回路基板の電気的特性評価に関する評価情報とから回路基板を設計する回路基板設計方法であって、前記回路基板情報、前記ノイズ対策情報および

前記評価情報を入力する入力ステップと、  
入力された前記ノイズ対策情報中に記述されている対策部品に関する情報に基づいて、前記回路基板情報に示される回路中に対策部品を付加し、前記回路基板情報を対策部品付加後の回路を記述するよう修正する対策部品付加ステップと、

前記対策部品付加ステップにおいて修正された回路基板情報と予め定めるレイアウト上の制限を示す情報とに基づいて、前記回路基板情報によって記述される基板上に、部品および配線のレイアウトを行い、レイアウトを行った部品および配線の位置を基板上の座標値としてレイアウト情報を作成するとともに、前記回路基板情報をさらにレイアウト後の回路を記述するように修正するレイアウトステップと、

設計段階における回路基板の電気的特性評価に関する前記評価情報に基づいて、前記レイアウト情報とその時点における回路基板情報とによって記述される回路中のテスト評価対象の電気的特性の良否を評価するテスト評価ステップと、

前記ノイズ対策情報中に記述されている情報であって、定格値の変更が可能な対策部品を示す情報と前記対策部品の変更可能な定格値の範囲を示す情報とに基づいて、前記テスト評価ステップにおいて電気的特性が悪いと評価された前記テスト評価対象に付加されている対策部品であって、定格値の変更が可能な対策部品について、予め定める値ずつ定格値を変更する毎に前記テスト評価ステップにおけるテスト評価を繰り返し、前記テスト評価ステップにおいて当該テスト評価対象の電気的特性が良いと評価されるまで当該対策部品の定格値を変更するとともに、前記回路基板情報を定格値変更後の回路を記述するように修正する定格値変更ステップと、

前記レイアウトステップにおいて修正された回路基板情報と前記レイアウト情報とに記述されている回路中のテスト評価対象のうち、すべてのテスト評価対象が前記テスト評価ステップにおいて電気的特性が良いと評価された場合には、前記定格値変更ステップにおいて修正された前記回路基板情報と前記レイアウト情報とを出力する出力ステップとを含むことを特徴とするプリント基板設計方法。

【請求項14】 前記対策部品付加ステップは、前記ノイズ対策情報中に記述されている情報であって、回路中の対策部品を付加すべき箇所を示す情報と入力された前記回路基板情報とを照合し、入力された前記回路基板情報中に記述されている回路の中で対策部品を付加すべき箇所を認識する対策部品付加箇所認識サブステップと、

前記対策部品付加箇所認識サブステップにおいて認識した対策部品付加箇所にすでに付加されている対策部品を認識する対策部品認識サブステップと、

前記ノイズ対策情報中に、回路中の対策部品を付加すべ

き箇所毎に予め定められている、付加すべき対策部品を示す情報と前記対策部品を付加するときの定格値を示す情報とに基づいて、前記対策部品認識サブステップにおいて認識した対策部品付加箇所であって、まだ対策部品が付加されていない箇所に、予め定める対策部品を付加する対策部品付加サブステップと、

前記対策部品認識サブステップにおいて認識した対策部品と前記対策前記対策部品付加サブステップにおいて新たに付加した対策部品とに優先順位を設定する優先順位設定サブステップと、

前記優先順位設定サブステップにおいて優先順位を設定した各対策部品につき前記回路基板情報内の前記対策部品を記述する情報に前記優先順位を示す情報を付加し、前記対策部品付加サブステップにおいて新たに対策部品を付加した場合には、前記対策部品付加サブステップにおいて対策部品を付加した後の回路を記述するよう、入力された前記回路基板情報を修正する第1回路基板情報修正サブステップとを含み、

前記レイアウトステップは、

前記回路基板情報に記述されている基板上の領域であって、前記第1回路基板情報修正サブステップにおいて修正された前記回路基板情報に記述されている回路に含まれる部品および前記部品を接続する配線をレイアウトしても良い領域を認識するレイアウト領域認識サブステップと、

前記レイアウト領域認識サブステップにおいて認識した領域に、予め定めるレイアウト上の制限に従って、前記回路基板情報に記述されている回路に含まれる部品と前記部品を接続する配線とをレイアウトするレイアウトサブステップと、

前記レイアウトサブステップにおいて、前記レイアウト領域認識サブステップにおいて認識した領域内に、レイアウトすべきすべての前記部品と前記配線とのレイアウトを完成することができるか否かを判断するレイアウト判断サブステップと、

前記レイアウト判断サブステップにおいて、前記レイアウトサブステップでレイアウトすべきすべての前記部品と前記配線とのレイアウトを完成することができないと判断した場合に、前記第1回路基板情報修正サブステップにおいて修正した回路基板情報に記述されている回路中の対策部品であって削除可能な対策部品を、前記優先

順位設定サブステップによって設定された優先順位が低いものから順次削除し、前記対策部品を削除する毎に、前記レイアウト判断サブステップを実行し、前記レイアウト判断サブステップにおいて前記レイアウトサブステップでレイアウトすべきすべての前記部品と前記配線とのレイアウトを完成することができると判断されるまで削除可能な前記対策部品を削除するとともに、削除可能なすべての対策部品を削除した後であっても、なお前記レイアウト判断サブステップにおいて、前記レイアウト

サブステップでレイアウトすべきすべての前記部品と前記配線とのレイアウトを完成することができないと判断した場合には、その旨を出力する対策部品削除サブステップと、  
前記レイアウトサブステップにおいてレイアウトを行った部品および配線の位置を基板上の座標値としてレイアウト情報を作成するレイアウト情報作成サブステップと、  
前記対策部品削除サブステップにおいて前記対策部品を削除する毎に、対策部品を記述する情報にどの対策部品を削除したかを示す情報を付加することにより前記第1回路基板情報修正サブステップにおいて修正した回路基板情報をさらに修正する第2回路基板情報修正サブステップと、を含むことを特徴とする請求項1記載のプリント基板設計方法。

【請求項15】 前記定格値変更ステップはさらに、前記ノイズ対策情報中に記述されている情報であって、異なる定格値の対策部品に変更が可能な対策部品を示す情報と前記対策部品の変更可能な定格値の範囲を示す情報とに基づいて、前記テスト評価ステップにおいて電気的特性が悪いと評価された前記テスト評価対象に付加されている対策部品であって、異なる定格値の対策部品に変更が可能な対策部品について、前記対策部品を異なる定格値の対策部品に変更する毎に前記テスト評価ステップを実行することによるテスト評価を繰り返し、前記テスト評価ステップにおいて当該テスト評価対象の電気的特性が良いと評価されるまで当該対策部品を定格値の異なる対策部品に変更する定格値変更サブステップと、第2回路修正サブステップにおいて修正された回路基板情報を定格値変更後の回路を記述するように修正する第3回路基板情報修正サブステップと、  
前記定格値変更サブステップにおいて前記対策部品の定格値を変更可能な定格値の範囲内で変更しても、なお、前記テスト評価ステップにおいて定格値変更後の回路に含まれるすべてのテスト評価対象の電気的特性が良いと評価されない場合には、再度前記レイアウトステップを実行し、前記第3回路基板情報修正サブステップによって修正された回路基板情報内に記述されている回路を、前記レイアウト情報に記述されている位置とは異なる位置に再度レイアウトするレイアウト変更サブステップと、  
前記レイアウトステップにおいて再度レイアウトを行った後の回路に含まれるすべてのテスト評価対象について、前記テスト評価ステップを実行してテスト評価を行い、前記テスト評価対象のうち前記テスト評価ステップにおいて電気的特性が悪いと評価された前記テスト評価対象につき、前記対策部品削除サブステップにおいて削除した前記対策部品を優先順位の高いものから順に再度付加し、前記対策部品を再度付加する毎に、再度付加した対策部品が基板上にレイアウトされるよう前記レイ

アウトステップを実行し、レイアウト後の回路を前記テスト評価ステップを実行してテスト評価し、前記テスト評価ステップにおいてすべてのテスト評価対象の電気的特性が良いと評価されるまで、電気的特性が悪いと評価された前記テスト評価対象につき、前記対策部品削除サブステップにおいて削除した前記対策部品を優先順位の高いものから順に再度付加する削除対策部品付加サブステップと、

前記削除対策部品付加サブステップにおいて前記対策部品を再度付加する毎に、再度付加した対策部品に付加されている優先順位を、当該対策部品を削除することができないことを示す優先順位に変更する優先順位変更サブステップと、

前記削除対策部品付加サブステップにおいて前記対策部品を再度付加する毎に、前記第2回路基板情報修正サブステップで修正された前記回路基板情報中、前記第2回路基板情報修正サブステップにおいて付加した情報であって、対策部品を削除したことを示す情報を再度回路中に前記対策部品を付加したことを示す情報に修正する第4回路基板情報修正サブステップと、

前記定格値変更ステップにおいて、前記削除部品付加サブステップにおいていったん削除された対策部品のうちすべての対策部品を再度付加した後の回路につき、前記テスト評価ステップにおいてすべてのテスト評価対象の電気的特性が良いと評価されない場合は、前記テスト評価ステップにおいてすべてのテスト評価対象の電気的特性が良いと評価されるまで前記定格値変更サブステップから前記第4回路基板情報修正サブステップまでの前記全サブステップを繰り返し行なうを含むことを特徴とする請求項14記載のプリント基板設計方法。

【請求項16】 前記対策部品付加ステップは、さらに、  
前記対策部品付加箇所認識サブステップにおいて認識した対策部品付加箇所を含む予め定める回路部分について回路シミュレーションを行い、予め定める回路テスト評価対象の回路シミュレーション出力が予め定める回路テスト評価基準を満足するか否かを判断し、前記回路テスト評価対象の回路シミュレーション出力が予め定める回路テスト評価基準を満足しない場合には、前記対策部品付加サブステップを実行し、前記ノイズ対策情報に記述されている情報であって、回路中に付加すべき対策部品を示す情報と前記対策部品を付加するときの定格値を示す情報とに基づいて、前記対策部品認識サブステップにおいて認識した対策部品付加箇所に、予め定める対策部品を付加する回路テストサブステップを含むことを特徴とする請求項14または請求項15記載のプリント基板設計方法。

【請求項17】 前記対策部品付加ステップは、さらに、  
前記対策部品付加サブステップにおいて対策部品を付加



した回路部分について、回路シミュレーションを行い、予め定める回路テスト評価対象の回路シミュレーション出力が予め定める回路テスト評価基準を満足するか否かを判断することによって、前記対策部品付加サブステップにおいて対策部品を付加した回路部分の電気的特性の良否を評価する回路テスト評価サブステップと、前記回路テスト評価サブステップにおいて、前記対策部品付加サブステップで対策部品を付加した回路部分の電気的特性が悪いと評価した場合には、前記回路部分に含まれる定格値を変更することが可能な全ての対策部品について別の定格値の対策部品に変更し、別の定格値の対策部品に変更する毎に、前記回路テスト評価サブステップを実行して別の定格値の対策部品に変更した回路部分について回路シミュレーションを行い、別の定格値の対策部品に変更した全ての回路部分について、前記回路テスト評価サブステップにおいてその電気的特性が良いと判断されるまで定格値の変更と前記回路テスト評価サブステップにおける評価とを繰り返す対策部品定格値変更サブステップとを含むことを特徴とする請求項14、請求項15または請求項16記載のプリント基板設計方法。

【請求項18】 前記定格値変更ステップは、さらに、定格値の変更が可能な対策部品を定格値の異なる対策部品に変更することによって前記テスト評価ステップにおいて前記テスト評価対象の電気的特性が良いと評価された当該テスト評価対象に付加されている対策部品の定格値を検出し、検出した前記定格値と、入力された前記ノイズ対策情報中に記述されている情報であって、回路中に付加されている対策部品の定格値を変更した結果、定格値を変更した後の対策部品が前記回路にとって不要となるときの前記定格値の範囲を示す情報とを比較し、検出した前記定格値が前記情報に示される定格値の範囲内にある場合には、定格値を変更した結果、定格値が前記情報に示される定格値の範囲となった対策部品を不要な対策部品として認識する不要対策部品認識サブステップと、前記不要対策部品認識サブステップにおいて認識した対策部品を削除し、前記回路基板情報を不要対策部品削除後の回路を記述するよう修正する不要対策部品削除サブステップとを含むことを特徴とする請求項13、請求項14、請求項15または請求項17記載のプリント基板設計方法。

【請求項19】 回路基板設計方法は、さらに、入力された回路基板情報に基づいて基板上に回路をレイアウトするにあたって従うべきレイアウト上の制限である設計基準を作成するための情報であって、設計基準を作成すべき対象を示す情報および前記設計基準作成対象がとりうる値の許容範囲を定める際のパラメータを示す情報などを示す設計基準作成情報を入力する設計基準作成情報入力サブステップと、

前記設計基準作成情報に従って予め定められる設計基準作成対象につき、予め定められる前記パラメータの下で設計基準作成対象の取りうる値を予め定める値ずつ変化させ、設計基準作成対象の取りうる値を予め定める値ずつ変化させる毎に、前記設計基準作成対象についてシミュレーションを行い、前記シミュレーション結果が予め定める設計基準作成評価基準を満足するまで設計基準作成対象の値の変更とシミュレーションによる評価とを繰り返し、前記シミュレーション結果が予め定める設計基準作成評価基準を満足したときの設計基準作成対象の値を設計基準作成対象の許容値として設計基準を作成する設計基準作成サブステップと、前記設計基準作成サブステップにおいて前記設計基準作成対象の取りうる値を可能な範囲ですべて変化させても、まだ、前記シミュレーション結果が前記設計基準作成評価基準を満足しない場合には、その旨を出力し、前記シミュレーション結果が予め定める設計基準作成評価基準を満足したときには、前記設計基準作成サブステップにおいて作成した設計基準を出力するとともに、これに続く前記レイアウトステップにおいて前記設計基準作成サブステップで作成した設計基準に基づいてレイアウトを行うよう指示する設計基準出力サブステップとを含むことを特徴とする請求項13、請求項15または請求項18記載のプリント基板設計方法。

【請求項20】 前記テスト評価ステップは、回路を実際の基板上にレイアウトした場合の部品の位置、配線長、層間の接続状態、配線の物理的形狀、基板の誘電率などに基づいて、回路中の各部品端子を接続するネットに予め定める入力波形を与えた場合の出力波形を計算によって求める伝送線路シミュレーションを含むことを特徴とする請求項19記載のプリント基板設計方法。

【請求項21】 前記設計基準作成サブステップは、回路を実際の基板上にレイアウトした場合の部品の位置、配線長、層間の接続状態、配線の物理的形狀、基板の誘電率などに基づいて、回路中の各部品端子を接続するネットに予め定める入力波形を与えた場合の出力波形を計算によって求める伝送線路シミュレーションを含むことを特徴とする請求項19または請求項20記載のプリント基板設計方法。

【請求項22】 入力された回路基板情報に基づいて基板上に回路をレイアウトするにあたって従うべきレイアウト上の制限である設計基準を作成するための情報であって、設計基準を作成すべき対象を示す情報および前記設計基準作成対象がとりうる値の許容範囲を定める際のパラメータを示す情報などを示す設計基準作成情報を入力する設計基準作成情報入力サブステップと、前記設計基準作成情報入力サブステップにおいて入力された設計基準作成情報に基づいて、予め定める設計基準作成対象につき、前記回路基板情報からパラメータの値



を読み出し、読み出したパラメータ値で定められる設計基準を、前記パラメータの値に対応して設計基準を予め記憶しているメモリから読み出し、読み出した設計基準を当該設計基準作成対象の設計基準として定める設計基準作成サブステップと、

前記設計基準作成サブステップにおいて定めた設計基準を出力するとともに、前記レイアウトステップにおいて前記設計基準作成サブステップで定めた設計基準に基づいてレイアウトを行うよう指示する設計基準出力サブステップとをさらに含むことを特徴とする請求項13、請求項15または請求項18記載のプリント基板設計方法。

【請求項23】 前記テスト評価ステップは、前記評価情報中に記述されている情報であって、レイアウト後の回路上のテスト評価対象を示す情報に基づいて、前記レイアウト情報とその時点での前記回路基板情報とによって記述される回路中のテスト評価対象を認識するテスト評価対象認識サブステップと、前記テスト評価対象認識サブステップにおいて認識した前記テスト評価対象を含む回路部分に付加されている対策部品の種類および定格値が、予め定めるテスト評価対象を含む回路部分に付加されているべき対策部品の種類および当該対策部品がとるべき定格値の範囲を予め定めるテスト評価対象毎に定めた基準であって、メモリ内に予め記憶されているテスト評価基準を満足するか否かを判定することにより、当該テスト評価対象の電気的特性の良否を評価するテスト評価サブステップとを含むことを特徴とする請求項19記載のプリント基板設計方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、プリント基板やマルチチップモジュール(MCM)などを含む回路基板のレイアウトをCADを用いて行なうプリント基板設計方法およびシステムに関する。

【0002】

【従来の技術】近年、プリント基板CADシステムは、マルチチップモジュールを含むプリント基板の基板設計に盛んに利用されている。ここで、プリント基板とは、基板上に部品がレイアウトされ、部品間の配線がプリントされたものをいい、マルチチップモジュール(MCM)とは、小型の基板上に複数の部品が実装されたモジュールをいう。

【0003】図13は、従来のCADを用いたプリント基板の設計手順を示すフローチャートである。まず、基板設計者は、回路図CADを用いて基板に実装されるべき各部品の電気的接続を表す電気回路を設計する(ステップS2101)。さらに具体的には、前記ステップS2101は、以下のステップを含む。すなわち、基板設計者は、基本的な電気回路の設計を行い(ステップS2102)、次いで、反射や遅延、ノイズを防止するため

の対策として対策部品の付加を行う(ステップS2103)。

【0004】次いで、基板設計者は、回路図CADで設計した部品の接続情報(ネットリスト)をプリント基板設計CADに出力し、基板上の部品の配置や箔による接続配線などのレイアウトを対話的に行う(ステップS2104)。次いで、基板設計者は、ステップS2104の処理によりレイアウトが完了した基板が意図した通りに正しく動作するか検査を行う。前記検査は、シミュレーションによって行ってもよいし、前記基板を実際に試作してプローブを当てて行っても良い。(ステップS2105、ステップS2106)。

【0005】この結果、遅延、ノイズ、不要輻射などの電気的特性により、基板が正しく動作しないと判断される場合や、意図した性能が発揮できないと判断される場合が生じる。このような場合、基板設計者は、各対策部品につき、対策部品の抵抗値や容量値などの部品定格値を変更し(ステップS2108)、シミュレーションなどによって基板が意図した通りに正しく動作するか検査を行う(ステップS2105、ステップS2106、ステップS2107)。

【0006】また、それでも基板が正しく動作しない場合や、意図した性能が発揮できない場合には、部品の配置位置、配線長、配線パターンなどのプリント基板のレイアウトを変更し(ステップS2104)、シミュレーションなどによって基板が意図した通りに正しく動作するか検査を行う(ステップS2105、ステップS2106、ステップS2107、ステップS2109)。

【0007】さらに、それでも基板が正しく動作しない場合や、意図した性能が発揮できない場合には、抵抗やコンデンサなどの対策部品を新たに付加し(ステップS2103)、シミュレーションなどによって基板が意図した通りに正しく動作するか検査を行う(ステップS2104、ステップS2105、ステップS2106)。

【0008】なお、基板設計者は、前述のような処理により基板の電気的特性が満足なレベルになるように回路に対策を施すが、ステップS2105～ステップS2108の処理、ステップS2104～ステップS2109の処理およびステップS2103～ステップS2106の処理については、対話的に行うので、必ずしもこの順で行う必要はなく、また判断によっては随時、ステップS2102に戻り、基本回路設計をやり直しても良い。

【0009】以上のようにして、基板設計者は、基板が正しく動作することが確認できれば、得られた基板設計情報を製造工程に渡す(ステップS2110)。なお、一部のCADでは、ステップS2104に示した部品配置や接続配線などのレイアウト作業を自動的に行う機能を備えたものもある(National Technical Report 第32巻第2号 平成5年4月号 松下電器産業(株)発行 雑誌コード06813、「知識ベース型高密度プリント基板

自動設計システム」pp.84-89)。しかしながら、前記知識ベース型高密度プリント基板自動設計システムでは、自動レイアウト後の基板の電気的特性に応じて、設計した回路に対策部品を付加し、レイアウトを変更し、部品の定格値を変更するといった対策を施すことまでは考慮していない。従って、基板設計者は、自動レイアウト後の基板の電気的特性の検査とそれに応じた対策処理とを対話的に行う必要がある。また、部品配置を最適設計するものとしては、「PLACEMENT OPTIMIZATION SYSTEM AIDED BY CAD」(US Patent 5,187,668)があるが、これもまた部品を配置した後の基板の電気的特性までは考慮していない。さらに、電気的特性を考慮して配線を行うものとしては、「WIRING DESING FOR SEMICONDUCTOR INTEGRATED CIRCUIT」(US Patent 5,046,017)があるが、これは電気的特性に応じて配線レイアウトを行うことのみを考慮するものであって、電気的特性に応じて回路の変更を行うことまでは考慮していない。

【0010】このように、従来のプリント基板設計では、基板設計者が基板の電気的特性が満足なレベルになるようにレイアウトの変更あるいは部品の付加、部品定格値の変更などをシミュレーションや試作の結果にもとづいて繰り返し対話的に行わなければならない、基板が正しく動作することを確認するまでに回路に対策を施す作業は、設計完了までの時間のうちかなりの時間を要していた。

【0011】また以下には、従来の設計基準の利用形態について説明する。一般に、設計基準とは、設計された基板を正しく製造し動作させるために、プリント基板を設計する際に守るべき制限内容などをいう。例えば、

「近接した平行配線は互いにクロストークノイズをうけやすいので、配線が平行に走る長さを10cm以内にする」や、「製造時にインサートマシンを使って部品を挿入するのでマシンのつかみしろとして、部品の左右に1cmの空きが必要である」などである。

【0012】これらの設計基準は、設計する基板や製造方法などによって微妙に異なってもよいものであるが、基板一枚毎に設計基準が異なると、設計基準を作成する手間がかかるばかりでなく、基板設計者も一枚毎に個々の設計をする必要があるため、従来は、これらの設計基準を部署毎や基板の種類毎などある程度の領域ごとにあらかじめ定めていた。

【0013】

【発明が解決しようとする課題】しかしながら、これらの設計基準は、あらかじめ最大公約数的に定められるので、すなわち、設計基準を守ってさえいれば基板が支障なく製造でき、動作するように定められているので、基板によってはかなりの余裕をもって設計されてしまうことがあった。例えば、厳密には4層で設計、製造できたであろう基板が設計基準を忠実に守ったために6層になってしまったというような場合や、基板サイズが大き

なってしまったというような場合が生じていた。このような場合、余分な基板材料を使用するという点でコスト高となり、また、このような基板を使用した装置の小型化を図る際の支障となるという問題があった。

【0014】一方、余裕をもって定められている設計基準であっても全ての基板の条件を満足できるものではなく、基板によっては、設計基準を満足しても実際に作成された基板が正しく動作しないという場合もあった。本発明の目的は、設計しようとする回路基板に最も適した設計基準を作成し、前記設計基準に従って電気的特性に優れた回路基板を設計することができるとともに、回路基板設計者の作業負担を軽減し、回路基板設計の作業効率を向上することができるプリント基板設計方法およびシステムを提供することである。

【0015】

【課題を解決するための手段】上記目的を達成するため、請求項1記載の本発明は、設計しようとする回路基板に使用する基板、基板上にレイアウトするべき回路およびそれに含まれる部品に関する回路基板情報と前記回路基板に生じるノイズを防止するための対策に関するノイズ対策情報と設計段階における回路基板の電気的特性評価に関する評価情報とから回路基板を設計する回路基板設計システムであって、前記回路基板情報、前記ノイズ対策情報および前記評価情報を入力する入力手段と、入力された前記ノイズ対策情報中に記述されている対策部品に関する情報に基づいて、前記回路基板情報に示される回路中に対策部品を付加し、前記回路基板情報を対策部品付加後の回路を記述するよう修正する対策部品付加手段と、前記対策部品付加手段が修正した前記回路基板情報と前記ノイズ対策情報中に記述されているレイアウト上の制限を示す情報とに基づいて、前記回路基板情報によって記述される基板上に、部品および配線のレイアウトを行い、レイアウトを行った部品および配線の位置を基板上の座標値としてレイアウト情報を作成するとともに、前記回路基板情報をさらにレイアウト後の回路を記述するよう修正するレイアウト手段と、設計段階における回路基板の電気的特性評価に関する前記評価情報に基づいて、前記レイアウト情報とその時点における回路基板情報とによって記述される回路中のテスト評価対象の電気的特性の良否を評価するテスト評価手段と、前記テスト評価手段によって電気的特性が悪いと評価された前記テスト評価対象に付加されている対策部品に基づいて、前記ノイズ対策情報中の対策部品に関する情報に基づいて、前記対策部品を異なる定格値の対策部品に変更するとともに、前記回路基板情報を定格値変更後の回路を記述するよう修正する定格値変更手段と、前記レイアウト手段がレイアウトを完成する毎に、前記テスト評価手段を起動し、前記定格値変更手段が回路中の対策部品の定格値を変更する毎に、前記テスト評価手段を起動する制御手段と、前記回路基板情報と前記レイアウト

情報とに記述されている回路中のテスト評価対象のうち、予め定めるテスト評価対象が前記テスト評価手段によって電気的特性が良いと評価された場合には、前記回路基板情報と前記レイアウト情報とを出力する出力手段とを含む。

【0016】請求項2記載の本発明は、請求項1記載のプリント基板設計システムにおいて、前記対策部品付加手段は、前記ノイズ対策情報中の情報であって、対策部品を付加すべき回路中の箇所を示す情報と入力された前記回路基板情報とを照合し、入力された前記回路基板情報中に記述されている回路の中で対策部品を付加すべき箇所を認識する対策部品付加箇所認識部と、前記対策部品付加箇所認識部が認識した対策部品付加箇所にすでに付加されている対策部品を認識する対策部品認識部と、前記ノイズ対策情報に前記対策部品付加箇所に対応して定められている、付加すべき対策部品を示す情報と前記対策部品を付加するときの定格値を示す情報とに基づいて、前記対策部品認識部が認識した対策部品付加箇所であって、まだ対策部品が付加されていない箇所に、予め定める対策部品を付加する対策部品付加部と、前記対策部品認識部が認識した対策部品と前記対策前記対策部品付加部が新たに付加した対策部品とに優先順位を設定する優先順位設定部と、前記優先順位設定部が優先順位を設定した各対策部品につき前記回路基板情報内の前記対策部品を記述する情報に前記優先順位を示す情報を付加し、前記対策部品付加部が新たに対策部品を付加した場合には、前記対策部品付加部が対策部品を付加した後の回路を記述するよう、入力された前記回路基板情報を修正する第1回路基板情報修正部とを含み、前記レイアウト手段は、前記回路基板情報に記述されている基板上の領域であって、前記第1回路基板情報修正部によって修正された前記回路基板情報に記述されている回路に含まれる部品および前記部品を接続する配線をレイアウトしても良い領域を認識するレイアウト領域認識部と、前記レイアウト領域認識部が認識した領域に、前記ノイズ対策情報中に記述されているレイアウト上の制限に従って、前記回路基板情報に記述されている回路に含まれる部品と前記部品を接続する配線とをレイアウトするレイアウト部と、前記レイアウト領域認識部が認識した領域内に、前記レイアウト部が、レイアウトすべきすべての前記部品と前記配線とのレイアウトを完成することができるか否かを判断するレイアウト判断部と、前記レイアウト部が前記レイアウトを完成することができないと前記レイアウト判断部が判断した場合に、前記第1回路基板情報修正部が修正した回路基板情報に記述されている回路中の対策部品であって削除可能な対策部品を、前記優先順位設定部によって設定された優先順位が低いものから順次、削除する対策部品削除部と、前記レイアウト部がレイアウトを行った部品および配線の位置を基板上の座標値としてレイアウト情報を作成するレイアウト情

報作成部と、前記回路基板情報中の回路中に含まれる部品を記述する情報に、前記対策部品削除部がどの対策部品を削除したかを示す情報を付加することにより前記第1回路基板情報修正部が修正した回路基板情報をさらに修正する第2回路基板情報修正部と、前記対策部品削除部が前記対策部品を削除する毎に、前記レイアウト領域認識部と前記レイアウト部と前記レイアウト判断部とを起動するレイアウト制御部とを含む。

【0017】請求項3記載の本発明は、請求項2記載のプリント基板設計システムにおいて、前記定格値変更手段は、前記ノイズ対策情報中に記述されている情報であって、異なる定格値の対策部品に変更が可能な対策部品を示す情報と前記対策部品の変更可能な定格値の範囲を示す情報とに基づいて、前記テスト評価手段によって電気的特性が悪いと評価された前記テスト評価対象に付加されている対策部品であって、異なる定格値の対策部品に変更が可能な対策部品について、前記対策部品を異なる定格値の対策部品に変更する定格値変更部と、第2回路基板情報修正部によって修正された回路基板情報を定格値変更後の回路を記述するように修正する第3回路基板情報修正部とを含む。

【0018】請求項4記載の本発明は、請求項3記載のプリント基板設計システムにおいて、定格値変更部が定格値の変更が可能なすべての前記対策部品の定格値を変更しても、なお、前記テスト評価手段が定格値変更後の回路に含まれる予め定めるテスト評価対象の電気的特性を良いと評価しない場合には、前記レイアウト手段を起動してその時点における回路基板情報内に記述されている回路を、前記レイアウト情報に記述されている位置とは異なる位置に再度レイアウトさせるレイアウト変更制御部と、前記レイアウト変更制御部の指示に基づいて前記レイアウト手段がレイアウトを行った後のテスト評価の結果、前記テスト評価手段によって電気的特性が悪いと評価された前記テスト評価対象につき、前記対策部品削除部が削除した前記対策部品を優先順位の高いものから順に再度付加する削除対策部品付加部と、前記削除対策部品付加部が再度付加した対策部品に付加されている優先順位を、当該対策部品を削除することができないことを示す優先順位に変更する優先順位変更部と、前記第2回路基板情報修正部が付加した情報であって、対策部品を削除したことを示す情報を再度回路中に付加したことを示す情報に修正するとともに、前記対策部品を記述する情報中の優先順位を前記優先順位変更部が変更した優先順位に修正する第4回路基板情報修正部と、前記レイアウト変更制御部の指示に基づいて前記レイアウト手段がレイアウトを行い、それに続いて前記テスト評価手段がテスト評価を行った後、前記定格値変更手段を待機させるとともに、前記削除対策部品付加部が、一旦、前記レイアウト手段によって削除された対策部品を再度回路中に付加する毎に、前記レイアウト手段を起動し、前

記削除対策部品付加部が、再度付加してもよいすべての削除対策部品を付加した後の回路中のテスト評価対象につき、前記テスト評価手段が予め定めるテスト評価対象の電気的特性を良いと評価しない場合には、前記定格値変更手段を起動する削除対策部品付加制御部とをさらに含む。

【0019】請求項5記載の本発明は、請求項2または請求項4記載のプリント基板設計システムにおいて、前記対策部品付加手段は、前記対策部品付加箇所認識部が認識した対策部品付加箇所を含む回路部分であって、前記評価情報に記述されている回路テスト評価対象について回路シミュレーションを行い、前記回路テスト評価対象の回路シミュレーション出力が前記評価情報に記述されている回路テスト評価基準を満足するか否かを判断し、前記回路テスト評価対象の回路シミュレーション出力が前記回路テスト評価基準を満足しない場合には、前記対策部品付加部を起動し、前記ノイズ対策情報に記述されている情報であって回路中に付加すべき対策部品を示す情報と前記対策部品を付加するときの定格値を示す情報とに基づいて、前記対策部品認識部が認識した対策部品付加箇所に予め定める対策部品を付加させる回路テスト部とをさらに含む。

【0020】請求項6記載の本発明は、請求項2、請求項4または請求項5記載のプリント基板設計システムにおいて、前記対策部品付加手段は、前記対策部品付加部が対策部品を付加した回路部分について、回路シミュレーションを行い、予め定める回路テスト評価対象の回路シミュレーション出力が予め定める回路テスト評価基準を満足するか否かを判断することによって、前記対策部品付加部が対策部品を付加した回路部分の電気的特性の良否を評価する回路テスト評価部と、前記回路テスト評価部が、前記対策部品付加部が対策部品を付加した回路部分の電気的特性が悪いと評価した場合には、前記回路部分に含まれる定格値を変更することが可能な全ての対策部品について別の定格値の対策部品に変更する対策部品定格値変更部と、前記対策部品定格値変更部が前記対策部品を別の定格値の対策部品に変更する毎に、前記回路テスト評価部を起動して、前記回路テスト評価部に別の定格値の対策部品に変更した回路部分について電気的特性の評価を行わせる対策部品定格値変更制御部とをさらに含む。

【0021】請求項7記載の本発明は、請求項1、請求項2、請求項4または請求項6記載のプリント基板設計システムにおいて、前記定格値変更手段は、定格値の変更が可能な対策部品を定格値の異なる対策部品に変更することによって前記テスト評価手段によって前記テスト評価対象の電気的特性が良いと評価された当該テスト評価対象に付加されている対策部品の定格値を検出し、検出した前記定格値と、入力された前記ノイズ対策情報中に記述されている情報であって、回路中に付加されてい

る対策部品の定格値を変更した結果、定格値を変更した後の対策部品が前記回路にとって不要となるときの前記定格値の範囲を示す情報とを比較し、検出した前記定格値が前記情報に示される定格値の範囲内にある場合には、定格値を変更した結果定格値が前記情報に示される定格値の範囲となった対策部品を不要な対策部品として認識する不要対策部品認識部と、前記不要対策部品認識部が認識した対策部品を削除し、前記回路基板情報を不要対策部品削除後の回路を記述するよう修正するとともに、前記レイアウト手段を起動する不要対策部品削除部とをさらに含む。

【0022】請求項8記載の本発明は、請求項1、請求項4または請求項7記載のプリント基板設計システムにおいて、入力された回路基板情報に基づいて基板上に回路をレイアウトするにあたって従うべきレイアウト上の制限である設計基準を作成するための情報であって、設計基準を作成すべき対象を示す情報および前記設計基準作成対象がとりうる値の許容範囲を定める際のパラメータを示す情報などを示す設計基準作成情報を入力する設計基準作成情報入力部と、前記設計基準作成情報に従って予め定められる設計基準作成対象につき、予め定められる前記パラメータの下で設計基準作成対象の取りうる値を予め定める値ずつ変化させ、設計基準作成対象の取りうる値を予め定める値ずつ変化させる毎に、前記設計基準作成対象についてシミュレーションを行い、前記シミュレーション結果が予め定める設計基準作成評価基準を満足するまで設計基準作成対象の値の変更とシミュレーションによる評価とを繰り返し、前記シミュレーション結果が予め定める設計基準作成評価基準を満足したときの設計基準作成対象の値を設計基準作成対象の許容値として設計基準を作成する設計基準作成部と、前記設計基準作成部が前記設計基準作成対象の取りうる値を可能な範囲ですべて変化させても、まだ、前記シミュレーション結果が前記設計基準作成評価基準を満足しない場合には、その旨を出力し、前記シミュレーション結果が予め定める設計基準作成評価基準を満足したときには、前記設計基準作成部が作成した設計基準を出力するとともに、前記設計基準作成部が作成した設計基準に基づいてレイアウトを行うよう前記レイアウト手段に指示する設計基準出力部とをさらに含む。

【0023】請求項9記載の本発明は、請求項8記載のプリント基板設計システムにおいて、前記テスト評価手段は、回路を実際の基板上にレイアウトした場合の部品の位置、配線長、層間の接続状態、配線の物理的形状、基板の誘電率などに基づいて、回路中の各部品端子を接続するネットに予め定める入力波形を与えた場合の出力波形を計算によって求める伝送線路シミュレータを含む。

【0024】請求項10記載の本発明は、請求項8または請求項9記載のプリント基板設計システムにおいて、

前記設計基準作成部は、回路を実際の基板上にレイアウトした場合の部品の位置、配線長、層間の接続状態、配線の物理的形狀、基板の誘電率などに基づいて、回路中の各部品端子を接続するネットに予め定める入力波形を与えた場合の出力波形を計算によって求める伝送線路シミュレータを含む。

【0025】請求項11記載の本発明は、請求項1、請求項4または請求項7記載のプリント基板設計システムにおいて、入力された回路基板情報に基づいて基板上に回路をレイアウトするにあたって従うべきレイアウト上の制限である設計基準を作成するための情報であって、設計基準を作成すべき対象を示す情報および前記設計基準作成対象がとりうる値の許容範囲を定める際のパラメータを示す情報などを示す設計基準作成情報を入力する設計基準作成情報入力部と、予め定める設計基準作成対象毎に、予め定める前記パラメータの値に対応する設計基準を記憶する設計基準記憶部と、前記設計基準作成情報入力部によって入力された設計基準作成情報に基づいて、予め定める設計基準作成対象につき、前記回路基板情報からパラメータの値を読み出し、読み出した前記パラメータ値で定められる設計基準を前記設計基準記憶部から読み出し、読み出した設計基準を当該設計基準作成対象の設計基準として定める設計基準作成部と、前記設計基準作成部が定めた設計基準を出力するとともに、前記設計基準作成部が定めた設計基準に基づいてレイアウトを行うよう前記レイアウト手段に指示する設計基準出力部とをさらに含む。

【0026】請求項12記載の本発明は、請求項8記載のプリント基板設計システムにおいて、前記テスト評価手段は、予め定めるテスト評価対象毎に、前記テスト評価対象を含む回路部分に付加されている対策部品の種類およびその定格値の範囲を記憶するテスト評価基準記憶部と、前記評価情報中に記述されている情報であって、レイアウト後の回路上のテスト評価対象を示す情報に基づいて、前記レイアウト情報とその時点での前記回路基板情報とによって記述される回路中のテスト評価対象を認識するテスト評価対象認識部と、前記テスト評価対象認識部が認識したテスト評価対象を含む回路部分に付加されている対策部品の種類および定格値が前記テスト評価基準記憶部に記憶されているテスト評価基準を満足するか否かを判定することにより、当該テスト評価対象の電気的特性の良否を評価するテスト評価部とを含む。

【0027】請求項13記載の本発明は、設計しようとする回路基板に使用する基板、基板上にレイアウトすべき回路およびそれに含まれる部品に関する回路基板情報と前記回路基板に生じるノイズを防止するための対策に関するノイズ対策情報と設計段階における回路基板の電気的特性評価に関する評価情報とから回路基板を設計する回路基板設計方法であって、前記回路基板情報、前記ノイズ対策情報および前記評価情報を入力する入力カ

テップと、入力された前記ノイズ対策情報中に記述されている対策部品に関する情報に基づいて、前記回路基板情報に示される回路中に対策部品を付加し、前記回路基板情報を対策部品付加後の回路を記述するよう修正する対策部品付加ステップと、前記対策部品付加ステップにおいて修正された回路基板情報と予め定めるレイアウト上の制限を示す情報とに基づいて、前記回路基板情報によって記述される基板上に、部品および配線のレイアウトを行い、レイアウトを行った部品および配線の位置を基板上の座標値としてレイアウト情報を作成するとともに、前記回路基板情報をさらにレイアウト後の回路を記述するように修正するレイアウトステップと、設計段階における回路基板の電気的特性評価に関する前記評価情報に基づいて、前記レイアウト情報とその時点における回路基板情報とによって記述される回路中のテスト評価対象の電気的特性の良否を評価するテスト評価ステップと、前記ノイズ対策情報中に記述されている情報であって、定格値の変更が可能な対策部品を示す情報と前記対策部品の変更可能な定格値の範囲を示す情報とに基づいて、前記テスト評価ステップにおいて電気的特性が悪いと評価された前記テスト評価対象に付加されている対策部品であって、定格値の変更が可能な対策部品について、予め定める値ずつ定格値を変更する毎に前記テスト評価ステップにおけるテスト評価を繰り返し、前記テスト評価ステップにおいて当該テスト評価対象の電気的特性が良いと評価されるまで当該対策部品の定格値を変更するとともに、前記回路基板情報を定格値変更後の回路を記述するよう修正する定格値変更ステップと、前記レイアウトステップにおいて修正された回路基板情報と前記レイアウト情報とに記述されている回路中のテスト対象のうち、すべてのテスト評価対象が前記テスト評価ステップにおいて電気的特性が良いと評価された場合には、前記定格値変更ステップにおいて修正された前記回路基板情報と前記レイアウト情報とを出力する出力ステップとを含む。

【0028】請求項14記載の本発明は、請求項13記載のプリント基板設計方法において、前記対策部品付加ステップは、前記ノイズ対策情報中に記述されている情報であって、回路中の対策部品を付加すべき箇所を示す情報と入力された前記回路基板情報とを照合し、入力された前記回路基板情報中に記述されている回路の中で対策部品を付加すべき箇所を認識する対策部品付加箇所認識サブステップと、前記対策部品付加箇所認識サブステップにおいて認識した対策部品付加箇所にすでに付加されている対策部品を認識する対策部品認識サブステップと、前記ノイズ対策情報中に、回路中の対策部品を付加すべき箇所毎に予め定められている、付加すべき対策部品を示す情報と前記対策部品を付加するときの定格値を示す情報とに基づいて、前記対策部品認識サブステップにおいて認識した対策部品付加箇所であって、まだ対策

部品が付加されていない箇所に、予め定める対策部品を付加する対策部品付加サブステップと、前記対策部品認識サブステップにおいて認識した対策部品と前記対策前記対策部品付加サブステップにおいて新たに付加した対策部品とに優先順位を設定する優先順位設定サブステップと、前記優先順位設定サブステップにおいて優先順位を設定した各対策部品につき前記回路基板情報内の前記対策部品を記述する情報に前記優先順位を示す情報を付加し、前記対策部品付加サブステップにおいて新たに対策部品を付加した場合には、前記対策部品付加サブステップにおいて対策部品を付加した後の回路を記述するよう、入力された前記回路基板情報を修正する第 1 回路基板情報修正サブステップとを含み、前記レイアウトステップは、前記回路基板情報に記述されている基板上の領域であって、前記第 1 回路基板情報修正サブステップにおいて修正された前記回路基板情報に記述されている回路に含まれる部品および前記部品を接続する配線をレイアウトしても良い領域を認識するレイアウト領域認識サブステップと、前記レイアウト領域認識サブステップにおいて認識した領域に、予め定めるレイアウト上の制限に従って、前記回路基板情報に記述されている回路に含まれる部品と前記部品を接続する配線とをレイアウトするレイアウトサブステップと、前記レイアウトサブステップにおいて、前記レイアウト領域認識サブステップにおいて認識した領域内に、レイアウトすべきすべての前記部品と前記配線とのレイアウトを完成することができるか否かを判断するレイアウト判断サブステップと、前記レイアウト判断サブステップにおいて、前記レイアウトサブステップでレイアウトすべきすべての前記部品と前記配線とのレイアウトを完成することができないと判断した場合に、前記第 1 回路基板情報修正サブステップにおいて修正した回路基板情報に記述されている回路中の対策部品であって削除可能な対策部品を、前記優先順位設定サブステップによって設定された優先順位が低いものから順次削除し、前記対策部品を削除する毎に、前記レイアウト判断サブステップを実行し、前記レイアウト判断サブステップにおいて前記レイアウトサブステップでレイアウトすべきすべての前記部品と前記配線とのレイアウトを完成することができると判断されるまで削除可能な前記対策部品を削除するとともに、削除可能なすべての対策部品を削除した後であっても、なお前記レイアウト判断サブステップにおいて、前記レイアウトサブステップでレイアウトすべきすべての前記部品と前記配線とのレイアウトを完成することができないと判断した場合には、その旨を出力する対策部品削除サブステップと、前記レイアウトサブステップにおいてレイアウトを行った部品および配線の位置を基板上の座標値としてレイアウト情報を作成するレイアウト情報作成サブステップと、前記対策部品削除サブステップにおいて前記対策部品を削除する毎に、対策部品を記述する情報にどの

対策部品を削除したかを示す情報を付加することにより前記第 1 回路基板情報修正サブステップにおいて修正した回路基板情報をさらに修正する第 2 回路基板情報修正サブステップとを含む。

【0029】請求項 15 記載の本発明は、請求項 14 記載のプリント基板設計方法において、前記定格値変更ステップはさらに、前記ノイズ対策情報中に記述されている情報であって、異なる定格値の対策部品に変更が可能な対策部品を示す情報と前記対策部品の変更可能な定格値の範囲を示す情報とに基づいて、前記テスト評価ステップにおいて電気的特性が悪いと評価された前記テスト評価対象に付加されている対策部品であって、異なる定格値の対策部品に変更が可能な対策部品について、前記対策部品を異なる定格値の対策部品に変更する毎に前記テスト評価ステップを実行することによるテスト評価を繰り返し、前記テスト評価ステップにおいて当該テスト評価対象の電気的特性が良いと評価されるまで当該対策部品を定格値の異なる対策部品に変更する定格値変更サブステップと、第 2 回路修正サブステップにおいて修正された回路基板情報を定格値変更後の回路を記述するように修正する第 3 回路基板情報修正サブステップと、前記定格値変更サブステップにおいて前記対策部品の定格値を変更可能な定格値の範囲内で変更しても、なお、前記テスト評価ステップにおいて定格値変更後の回路に含まれるすべてのテスト評価対象の電気的特性が良いと評価されない場合には、再度前記レイアウトステップを実行し、前記第 3 回路基板情報修正サブステップによって修正された回路基板情報内に記述されている回路を、前記レイアウト情報に記述されている位置とは異なる位置に再度レイアウトするレイアウト変更サブステップと、前記レイアウトステップにおいて再度レイアウトを行った後の回路に含まれるすべてのテスト評価対象について、前記テスト評価ステップを実行してテスト評価を行い、前記テスト評価対象のうち前記テスト評価ステップにおいて電気的特性が悪いと評価された前記テスト評価対象につき、前記対策部品削除サブステップにおいて削除した前記対策部品を優先順位の高いものから順に再度付加し、前記対策部品を再度付加する毎に、再度付加した対策部品が基板上にレイアウトされるよう前記レイアウトステップを実行し、レイアウト後の回路を前記テスト評価ステップを実行してテスト評価し、前記テスト評価ステップにおいてすべてのテスト評価対象の電気的特性が良いと評価されるまで、電気的特性が悪いと評価された前記テスト評価対象につき、前記対策部品削除サブステップにおいて削除した前記対策部品を優先順位の高いものから順に再度付加する削除対策部品付加サブステップと、前記削除対策部品付加サブステップにおいて前記対策部品を再度付加する毎に、再度付加した対策部品に付加されている優先順位を、当該対策部品を削除することができないことを示す優先順位に変更する優先順位



変更サブステップと、前記削除対策部品付加サブステップにおいて前記対策部品を再度付加する毎に、前記第2回路基板情報修正サブステップで修正された前記回路基板情報中、前記第2回路基板情報修正サブステップにおいて付加した情報であって、対策部品を削除したことを示す情報を再度回路中に前記対策部品を付加したことを示す情報に修正する第4回路基板情報修正サブステップと、前記定格値変更ステップにおいて、前記削除部品付加サブステップにおいていったん削除された対策部品のうちすべての対策部品を再度付加した後の回路につき、前記テスト評価ステップにおいてすべてのテスト評価対象の電気的特性が良いと評価されない場合は、前記テスト評価ステップにおいてすべてのテスト評価対象の電気的特性が良いと評価されるまで前記定格値変更サブステップから前記第4回路基板情報修正サブステップまでの前記全サブステップを繰り返し行なうを含む。

【0030】請求項16記載の本発明は、請求項14または請求項15記載のプリント基板設計方法において、前記対策部品付加ステップは、さらに、前記対策部品付加箇所認識サブステップにおいて認識した対策部品付加箇所を含む予め定める回路部分について回路シミュレーションを行い、予め定める回路テスト評価対象の回路シミュレーション出力が予め定める回路テスト評価基準を満足するか否かを判断し、前記回路テスト評価対象の回路シミュレーション出力が予め定める回路テスト評価基準を満足しない場合には、前記対策部品付加サブステップを実行し、前記ノイズ対策情報に記述されている情報であって、回路中に付加すべき対策部品を示す情報と前記対策部品を付加するときの定格値を示す情報とに基づいて、前記対策部品認識サブステップにおいて認識した対策部品付加箇所に、予め定める対策部品を付加する回路テストサブステップを含む。

【0031】請求項17記載の本発明は、請求項14、請求項15または請求項16記載のプリント基板設計方法において、前記対策部品付加ステップは、さらに、前記対策部品付加サブステップにおいて対策部品を付加した回路部分について、回路シミュレーションを行い、予め定める回路テスト評価対象の回路シミュレーション出力が予め定める回路テスト評価基準を満足するか否かを判断することによって、前記対策部品付加サブステップにおいて対策部品を付加した回路部分の電気的特性の良否を評価する回路テスト評価サブステップと、前記回路テスト評価サブステップにおいて、前記対策部品付加サブステップで対策部品を付加した回路部分の電気的特性が悪いと評価した場合には、前記回路部分に含まれる定格値を変更することが可能な全ての対策部品について別の定格値の対策部品に変更し、別の定格値の対策部品に変更する毎に、前記回路テスト評価サブステップを実行して別の定格値の対策部品に変更した回路部分について回路シミュレーションを行い、別の定格値の対策部品に

変更した全ての回路部分について、前記回路テスト評価サブステップにおいてその電気的特性が良いと判断されるまで定格値の変更と前記回路テスト評価サブステップにおける評価とを繰り返す対策部品定格値変更サブステップとを含む。

【0032】請求項18記載の本発明は、請求項13、請求項14、請求項15または請求項17記載のプリント基板設計方法において、前記定格値変更ステップは、さらに、定格値の変更が可能な対策部品を定格値の異なる対策部品に変更することによって前記テスト評価ステップにおいて前記テスト評価対象の電気的特性が良いと評価された当該テスト評価対象に付加されている対策部品の定格値を検出し、検出した前記定格値と、入力された前記ノイズ対策情報中に記述されている情報であって、回路中に付加されている対策部品の定格値を変更した結果、定格値を変更した後の対策部品が前記回路にとって不要となるときの前記定格値の範囲を示す情報とを比較し、検出した前記定格値が前記情報に示される定格値の範囲内にある場合には、定格値を変更した結果、定格値が前記情報に示される定格値の範囲となった対策部品を不要な対策部品として認識する不要対策部品認識サブステップと、前記不要対策部品認識サブステップにおいて認識した対策部品を削除し、前記回路基板情報を不要対策部品削除後の回路を記述するよう修正する不要対策部品削除サブステップとを含む。

【0033】請求項19記載の本発明は、請求項13、請求項15または請求項18記載のプリント基板設計方法において、回路基板設計方法は、さらに、入力された回路基板情報に基づいて基板上に回路をレイアウトするにあたって従うべきレイアウト上の制限である設計基準を作成するための情報であって、設計基準を作成すべき対象を示す情報および前記設計基準作成対象がとりうる値の許容範囲を定める際のパラメータを示す情報などを示す設計基準作成情報を入力する設計基準作成情報入力サブステップと、前記設計基準作成情報に従って予め定められる設計基準作成対象につき、予め定められる前記パラメータの下で設計基準作成対象の取りうる値を予め定める値ずつ変化させ、設計基準作成対象の取りうる値を予め定める値ずつ変化させる毎に、前記設計基準作成対象についてシミュレーションを行い、前記シミュレーション結果が予め定める設計基準作成評価基準を満足するまで設計基準作成対象の値の変更とシミュレーションによる評価とを繰り返し、前記シミュレーション結果が予め定める設計基準作成評価基準を満足したときの設計基準作成対象の値を設計基準作成対象の許容値として設計基準を作成する設計基準作成サブステップと、前記設計基準作成サブステップにおいて前記設計基準作成対象の取りうる値を可能な範囲ですべて変化させても、まだ、前記シミュレーション結果が前記設計基準作成評価基準を満足しない場合には、その旨を出力し、前記シミ



ュレーション結果が予め定める設計基準作成評価基準を満足したときには、前記設計基準作成サブステップにおいて作成した設計基準を出力するとともに、これに続く前記レイアウトステップにおいて前記設計基準作成サブステップで作成した設計基準に基づいてレイアウトを行うよう指示する設計基準出力サブステップとを含む。

【0034】請求項20記載の本発明は、請求項19記載のプリント基板設計方法において、前記テスト評価ステップは、回路を実際の基板上にレイアウトした場合の部品の位置、配線長、層間の接続状態、配線の物理的形状、基板の誘電率などに基づいて、回路中の各部品端子を接続するネットに予め定める入力波形を与えた場合の出力波形を計算によって求める伝送線路シミュレーションを含む。

【0035】請求項21記載の本発明は、請求項19または請求項20記載のプリント基板設計方法において、前記設計基準作成サブステップは、回路を実際の基板上にレイアウトした場合の部品の位置、配線長、層間の接続状態、配線の物理的形状、基板の誘電率などに基づいて、回路中の各部品端子を接続するネットに予め定める入力波形を与えた場合の出力波形を計算によって求める伝送線路シミュレーションを含む。

【0036】請求項22記載の本発明は、請求項13、請求項15または請求項18記載のプリント基板設計方法において、入力された回路基板情報に基づいて基板上に回路をレイアウトするにあたって従うべきレイアウト上の制限である設計基準を作成するための情報であって、設計基準を作成すべき対象を示す情報および前記設計基準作成対象がとりうる値の許容範囲を定める際のパラメータを示す情報などを示す設計基準作成情報を入力する設計基準作成情報入力サブステップと、前記設計基準作成情報入力サブステップにおいて入力された設計基準作成情報に基づいて、予め定める設計基準作成対象につき、前記回路基板情報からパラメータの値を読み出し、読み出したパラメータ値で定められる設計基準を、前記パラメータの値に対応して設計基準を予め記憶しているメモリから読み出し、読み出した設計基準を当該設計基準作成対象の設計基準として定める設計基準作成サブステップと、前記設計基準作成サブステップにおいて定めた設計基準を出力するとともに、前記レイアウトステップにおいて前記設計基準作成サブステップで定めた設計基準に基づいてレイアウトを行うよう指示する設計基準出力サブステップとをさらに含む。

【0037】請求項23記載の本発明は、請求項19記載のプリント基板設計方法において、前記テスト評価ステップは、前記評価情報中に記述されている情報であって、レイアウト後の回路上のテスト評価対象を示す情報に基づいて、前記レイアウト情報とその時点での前記回路基板情報とによって記述される回路中のテスト評価対象を認識するテスト評価対象認識サブステップと、前記

テスト評価対象認識サブステップにおいて認識したテスト評価対象を含む回路部分に付加されている対策部品の種類および定格値が、予め定めるテスト評価対象を含む回路部分に付加されているべき対策部品の種類および当該対策部品がとるべき定格値の範囲を予め定めるテスト評価対象毎に定めた基準であって、メモリ内に予め記憶されているテスト評価基準を満足するか否かを判定することにより、当該テスト評価対象の電気的特性の良否を評価するテスト評価サブステップとを含む。

10 【0038】

【作用】以上のように、請求項1記載の本発明に従えば、入力手段は、前記回路基板情報、前記ノイズ対策情報および前記評価情報を入力する。対策部品付加手段は、入力された前記ノイズ対策情報中に記述されている対策部品に関する情報に基づいて、前記回路基板情報に示される回路中に対策部品を付加し、前記回路基板情報を対策部品付加後の回路を記述するよう修正する。

20 【0039】レイアウト手段は、前記対策部品付加手段が修正した前記回路基板情報と前記ノイズ対策情報中に記述されているレイアウト上の制限を示す情報とに基づいて、前記回路基板情報によって記述される基板上に、部品および配線のレイアウトを行い、レイアウトを行った部品および配線の位置を基板上の座標値としてレイアウト情報を作成するとともに、前記回路基板情報をさらにレイアウト後の回路を記述するように修正する。

30 【0040】テスト評価手段は、設計段階における回路基板の電気的特性評価に関する前記評価情報に基づいて、前記レイアウト情報とその時点における回路基板情報とによって記述される回路中のテスト評価対象の電気的特性の良否を評価する。定格値変更手段は、前記テスト評価手段によって電気的特性が悪いと評価された前記テスト評価対象に付加されている対策部品について、前記ノイズ対策情報中の対策部品に関する情報に基づいて、前記対策部品を異なる定格値の対策部品に変更するとともに、前記回路基板情報を定格値変更後の回路を記述するように修正する。

40 【0041】制御手段は、前記レイアウト手段がレイアウトを完成する毎に、前記テスト評価手段を起動し、前記定格値変更手段が回路中の対策部品の定格値を変更する毎に、前記テスト評価手段を起動する。出力手段は、前記回路基板情報と前記レイアウト情報とに記述されている回路中のテスト評価対象のうち、予め定めるテスト評価対象が前記テスト評価手段によって電気的特性が良いと評価された場合には、前記回路基板情報と前記レイアウト情報とを出力する。

50 【0042】以上のように本発明に従えば、基本設計された電気回路を実際の基板上にレイアウトした際に生じるノイズを低減し、電気的特性に優れた回路基板を設計することができる。また、さらに、基本設計された回路に対し前記の処理を全て自動処理することにより、回路基

板設計者の作業負担を軽減し、回路基板設計の作業効率を向上することができるとともに、回路基板設計技術に習熟していない基板設計者が回路を基本設計した場合であっても、回路基板設計技術に習熟した基板設計者が回路基板を設計する場合と同様に、電気的特性に優れた回路基板を設計することができる。

【0043】請求項2記載の本発明に従えば、請求項1記載の対策部品付加手段において、対策部品付加箇所認識部は、前記ノイズ対策情報中の情報であって、対策部品を付加すべき回路中の箇所を示す情報と入力された前記回路基板情報とを照合し、入力された前記回路基板情報中に記述されている回路の中で対策部品を付加すべき箇所を認識する。

【0044】対策部品認識部は、前記対策部品付加箇所認識部が認識した対策部品付加箇所にすでに付加されている対策部品を認識する。対策部品付加部は、前記ノイズ対策情報内に、前記対策部品付加箇所に対応して定められている、付加すべき対策部品を示す情報と前記対策部品を付加するときの定格値を示す情報とに基づいて、前記対策部品認識部が認識した対策部品付加箇所であって、まだ対策部品が付加されていない箇所に、予め定める対策部品を付加する。

【0045】優先順位設定部は、前記対策部品認識部が認識した対策部品と前記対策前記対策部品付加部が新たに付加した対策部品とに優先順位を設定する。第1回路基板情報修正部は、前記優先順位設定部が優先順位を設定した各対策部品につき前記回路基板情報内の前記対策部品を記述する情報に前記優先順位を示す情報を付加し、前記対策部品付加部が新たに対策部品を付加した場合には、前記対策部品付加部が対策部品を付加した後の回路を記述するよう、入力された前記回路基板情報を修正する。

【0046】また、前記レイアウト手段において、レイアウト領域認識部は、前記回路基板情報に記述されている基板上的の領域であって、前記第1回路基板情報修正部によって修正された前記回路基板情報に記述されている回路に含まれる部品および前記部品を接続する配線をレイアウトしても良い領域を認識する。レイアウト部は、前記レイアウト領域認識部が認識した領域に、前記ノイズ対策情報中に記述されているレイアウト上の制限に従って、前記回路基板情報に記述されている回路に含まれる部品と前記部品を接続する配線とをレイアウトする。

【0047】レイアウト判断部は、前記レイアウト領域認識部が認識した領域内に、前記レイアウト部が、レイアウトすべきすべての前記部品と前記配線とのレイアウトを完成することができるか否かを判断する。対策部品削除部は、前記レイアウト部が前記レイアウトを完成することができないと前記レイアウト判断部が判断した場合に、前記第1回路基板情報修正部が修正した回路基板情報に記述されている回路中の対策部品であって削除可

能な対策部品を、前記優先順位設定部によって設定された優先順位が低いものから順次、削除する。

【0048】レイアウト情報作成部は、前記レイアウト部がレイアウトを行った部品および配線の位置を基板上の座標値としてレイアウト情報を作成する。第2回路基板情報修正部は、前記回路基板情報中の回路中に含まれる部品を記述する情報に、前記対策部品削除部がどの対策部品を削除したかを示す情報を付加することにより前記第1回路基板情報修正部が修正した回路基板情報をさらに修正する。

【0049】レイアウト制御部は、前記対策部品削除部が前記対策部品を削除する毎に、前記レイアウト領域認識部と前記レイアウト部と前記レイアウト判断部とを起動する。以上のように本発明に従えば、より柔軟性の高い自動レイアウト処理を実現することができるとともに、設計しようとする回路基板の電気的特性上重要な対策部品が前記対策部品削除部によって削除されてしまうことを防止することができる。

【0050】請求項3記載の本発明に従えば、請求項2記載の前記定格値変更手段において、定格値変更部は、前記ノイズ対策情報中に記述されている情報であって、異なる定格値の対策部品に変更が可能な対策部品を示す情報と前記対策部品の変更可能な定格値の範囲を示す情報とに基づいて、前記テスト評価手段によって電気的特性が悪いと評価された前記テスト評価対象に付加されている対策部品であって、異なる定格値の対策部品に変更が可能な対策部品について、前記対策部品を異なる定格値の対策部品に変更する。

【0051】第3回路基板情報修正部は、第2回路基板情報修正部によって修正された回路基板情報を定格値変更後の回路を記述するように修正する。請求項4記載の本発明に従えば、請求項3記載のプリント基板設計システムにおいて、さらに、レイアウト変更制御部は、定格値変更部が定格値の変更が可能なすべての前記対策部品の定格値を変更しても、なお、前記テスト評価手段が定格値変更後の回路に含まれる予め定めるテスト評価対象の電気的特性を良いと評価しない場合には、前記レイアウト手段を起動してその時点における回路基板情報内に記述されている回路を、前記レイアウト情報に記述されている位置とは異なる位置に再度レイアウトさせる。

【0052】削除対策部品付加部は、前記レイアウト変更制御部の指示に基づいて前記レイアウト手段がレイアウトを行った後のテスト評価の結果、前記テスト評価手段によって電気的特性が悪いと評価された前記テスト評価対象につき、前記対策部品削除部が削除した前記対策部品を優先順位の高いものから順に再度付加する。優先順位変更部は、前記削除対策部品付加部が再度付加した対策部品に付加されている優先順位を、当該対策部品を削除することができないことを示す優先順位に変更する。

【0053】第4回路基板情報修正部は、前記第2回路基板情報修正部が付加した情報であって、対策部品を削除したことを示す情報を再度回路中に付加したことを示す情報に修正するとともに、前記対策部品を記述する情報中の優先順位を前記優先順位変更部が変更した優先順位に修正する。削除対策部品付加制御部は、前記レイアウト変更制御部の指示に基づいて前記レイアウト手段がレイアウトを行い、それに続いて前記テスト評価手段がテスト評価を行った後、前記定格値変更手段を待機させるとともに、前記削除対策部品付加部が、一旦、前記レイアウト手段によって削除された対策部品を再度回路中に付加する毎に、前記レイアウト手段を起動し、前記削除対策部品付加部が、再度付加してもよいすべての削除対策部品を付加した後の回路中のテスト評価対象につき、前記テスト評価手段が予め定めるテスト評価対象の電気的特性を良いと評価しない場合には、前記定格値変更手段を起動する。

【0054】以上のように本発明に従えば、対策部品の定格値の変更を行った後、レイアウトされた回路の電気的特性が改善されないときには、電気的特性がよくない回路部分のレイアウトを変更するとともに、依然として前記回路の電気的特性が改善されないときには、さらに、前回のレイアウトの際に削除された対策部品のうちからその優先順位にしたがって対策部品を再度付加することができ、これにより、さらに、電気的特性に優れた回路基板を設計することができる。

【0055】請求項5記載の本発明に従えば、請求項2または請求項4記載の前記対策部品付加手段において、回路テスト部は、さらに、前記対策部品付加箇所認識部が認識した対策部品付加箇所を含む回路部分であって、前記評価情報に記述されている回路テスト評価対象について回路シミュレーションを行い、前記回路テスト評価対象の回路シミュレーション出力が前記評価情報に記述されている回路テスト評価基準を満足するかどうかを判断し、前記回路テスト評価対象の回路シミュレーション出力が前記回路テスト評価基準を満足しない場合には、前記対策部品付加部を起動して、前記ノイズ対策情報に記述されている情報であって、回路中に付加すべき対策部品を示す情報と前記対策部品を付加するときの定格値を示す情報とに基づいて、前記対策部品認識部が認識した対策部品付加箇所に対策部品を付加させる。

【0056】以上のように本発明に従えば、基本設計された電気回路が基板上にレイアウトされる前に、ノイズ防止対策を予め施しておくことができる。請求項6記載の本発明に従えば、請求項2、請求項4または請求項5記載の前記対策部品付加手段において、さらに、回路テスト評価部は、前記対策部品付加部が対策部品を付加した回路部分について、回路シミュレーションを行い、予め定める回路テスト評価対象の回路シミュレーション出力が予め定める回路テスト評価基準を満足するかどうかを

判断することによって、前記対策部品付加部が対策部品を付加した回路部分の電気的特性の良否を評価する。

【0057】対策部品定格値変更部は、前記対策部品付加部が対策部品を付加した回路部分について、前記回路テスト評価部が回路の電気的特性を良いと評価しない場合には、前記回路部分に含まれる定格値の変更が可能な全ての対策部品について別の定格値の対策部品に変更する。対策部品定格値変更制御部は、前記対策部品定格値変更部が前記対策部品を別の定格値の対策部品に変更する毎に、前記回路テスト評価部を起動して、前記回路テスト評価部に別の定格値の対策部品に変更した回路部分について電気的特性の評価を行わせる。

【0058】以上のように本発明に従えば、対策部品付加後の電気回路が基板上にレイアウトされる前の段階で、ノイズ防止対策を予め施しておくことができる。請求項7記載の本発明に従えば、請求項1、請求項2、請求項4または請求項6記載の前記定格値変更手段において、さらに、不要対策部品認識部は、定格値の変更が可能な対策部品を定格値の異なる対策部品に変更した結果、前記テスト評価手段に電気的特性が良いと評価された当該テスト評価対象に付加されている対策部品の定格値を検出し、検出した前記定格値と入力された前記ノイズ対策情報中に記述されている情報であって、回路中に付加されている対策部品の定格値を変更した結果、その対策部品が前記回路にとって不要となるときの前記定格値の範囲を示す情報とを比較し、検出した前記定格値が前記情報に示される定格値の範囲内にある場合には、定格値を変更した結果、定格値が前記情報に示される定格値の範囲内の値となった対策部品を不要な対策部品として認識する。

【0059】不要対策部品削除部は、前記不要対策部品認識部が認識した対策部品を削除し、前記回路基板情報を不要対策部品削除後の回路を記述するよう修正するとともに、前記レイアウト手段を起動する。以上のように本発明に従えば、対策部品の定格値の変更の結果、変更後の対策部品の定格値が、その対策部品自体をほとんど無視することができるような小さな値となったとき、またはその対策部品が必要でないような大きな値となったとき、当該対策部品を削除することができる。また、これにより、電気的特性に優れた回路基板を設計することができるとともに、設計される回路基板に費やされる資源を節約し、前記回路基板の小型化を図ることができる。

【0060】請求項8記載の本発明に従えば、請求項1、請求項4または請求項7記載のプリント基板設計システムにおいて、さらに、設計基準作成情報入力部は、入力された回路基板情報に基づいて基板上に回路をレイアウトするにあたって従うべきレイアウト上の制限である設計基準を作成するための情報であって、設計基準を作成すべき対象を示す情報および前記設計基準作成対象

がとりうる値の許容範囲を定める際のパラメータを示す情報などを示す設計基準作成情報を入力する。

【0061】設計基準作成部は、前記設計基準作成情報に従って予め定められる設計基準作成対象につき、予め定められる前記パラメータの下で設計基準作成対象の取りうる値を予め定める値ずつ変化させ、設計基準作成対象の取りうる値を予め定める値ずつ変化させる毎に、前記設計基準作成対象についてシミュレーションを行い、前記シミュレーション結果が予め定める設計基準作成評価基準を満足するまで設計基準作成対象の値の変更とシミュレーションによる評価とを繰り返し、前記シミュレーション結果が予め定める設計基準作成評価基準を満足したときの設計基準作成対象の値を設計基準作成対象の許容値として設計基準を作成する。

【0062】設計基準出力部は、前記設計基準作成部が前記設計基準作成対象の取りうる値を可能な範囲ですべて変化させても、まだ、前記シミュレーション結果が前記設計基準作成評価基準を満足しない場合には、その旨を出力し、前記シミュレーション結果が予め定める設計基準作成評価基準を満足したときには、前記設計基準作成部が作成した設計基準を出力するとともに、前記設計基準作成部が作成した設計基準に基づいてレイアウトを行うよう前記レイアウト手段に指示する。

【0063】従って、本発明に従えば、設計しようとする回路基板毎に最適な設計基準を作成し、前記設計基準に基づいてレイアウトを行うことにより、より電気的特性に優れた回路基板を設計することができるとともに、設計される回路基板に費やされる資源を節約し、前記回路基板の小型化を図ることができる。請求項9記載の本発明に従えば、請求項8記載の前記テスト評価手段において、伝送線路シミュレータは、回路を実際の基板上にレイアウトした場合の部品の位置、配線長、層間の接続状態、配線の物理的形状、基板の誘電率などに基づいて、回路中の各部品端子を接続するネットに予め定める入力波形を与えた場合の出力波形を計算によって求める。

【0064】以上のように本発明に従えば、回路基板の設計段階で逐次、基板上にレイアウトされた回路の電気的特性を評価することによって、より電気的特性に優れた回路基板を設計することができる。請求項10記載の本発明に従えば、請求項8または請求項9記載の前記設計基準作成部において、伝送線路シミュレータは、回路を実際の基板上にレイアウトした場合の部品の位置、配線長、層間の接続状態、配線の物理的形状、基板の誘電率などに基づいて、回路中の各部品端子を接続するネットに予め定める入力波形を与えた場合の出力波形を計算によって求める。

【0065】従って、本発明に従えば、設計しようとする回路基板毎に最適な設計基準を作成し、前記設計基準に基づいてレイアウトを行うことにより、より電気的

性に優れた回路基板を設計することができる。請求項11記載の本発明に従えば、請求項1、請求項4または請求項7記載のプリント基板設計システムにおいて、設計基準作成情報入力部は、入力された回路基板情報に基づいて基板上に回路をレイアウトするにあたって従うべきレイアウト上の制限である設計基準を作成するための情報であって、設計基準を作成すべき対象を示す情報および前記設計基準作成対象がとりうる値の許容範囲を定める際のパラメータを示す情報などを示す設計基準作成情報を入力する。

【0066】設計基準記憶部は、予め定める設計基準作成対象毎に、予め定める前記パラメータの値に対応する設計基準を記憶する。設計基準作成部は、前記設計基準作成情報入力部によって入力された設計基準作成情報に基づいて、予め定める設計基準作成対象につき、前記回路基板情報からパラメータの値を読み出し、読み出した前記パラメータ値で定められる設計基準を前記設計基準記憶部から読み出し、読み出した設計基準を当該設計基準作成対象の設計基準として定める。

【0067】設計基準出力部は、前記設計基準作成部が定めた設計基準を出力するとともに、前記設計基準作成部が定めた設計基準に基づいてレイアウトを行うよう前記レイアウト手段に指示する。従って、本発明に従えば、設計しようとする回路基板毎に最適な設計基準を作成し、前記設計基準に基づいてレイアウトを行うことにより、より電気的特性に優れた回路基板を設計することができる。

【0068】請求項12記載の本発明に従えば、請求項8記載のプリント基板設計システムの前記テスト評価手段において、テスト評価基準記憶部は、予め定めるテスト評価対象毎に、前記テスト評価対象を含む回路部分に付加されている対策部品の種類およびその定格値の範囲を記憶する。

【0069】テスト評価対象認識部は、前記評価情報中に記述されている情報であって、レイアウト後の回路上のテスト評価対象を示す情報に基づいて、前記レイアウト情報とその時点での前記回路基板情報とによって記述される回路中のテスト評価対象を認識する。テスト評価部は、前記テスト評価対象認識部が認識したテスト評価対象を含む回路部分に付加されている対策部品の種類および定格値が前記テスト評価基準記憶部に記憶されているテスト評価基準を満足するか否かを判定することにより、当該テスト評価対象の電気的特性の良否を評価する。

【0070】従って、本発明に従えば、基板上にレイアウトされた回路基板の特性を逐次、テスト評価することができ、前記テスト評価の結果に基づいて、より電気的特性に優れた回路基板を設計することができる。請求項13記載の本発明に従えば、入力ステップにおいて、前記回路基板情報、前記ノイズ対策情報および前記評価情

報を入力する。

【0071】対策部品付加ステップにおいて、入力された前記ノイズ対策情報中に記述されている対策部品に関する情報に基づいて、前記回路基板情報に示される回路中に対策部品を付加し、前記回路基板情報を対策部品付加後の回路を記述するよう修正する。レイアウトステップにおいて、前記対策部品付加ステップにおいて修正された回路基板情報と予め定めるレイアウト上の制限を示す情報とに基づいて、前記回路基板情報によって記述される基板上に、部品および配線のレイアウトを行い、レイアウトを行った部品および配線の位置を基板上の座標値としてレイアウト情報を作成するとともに、前記回路基板情報をさらにレイアウト後の回路を記述するように修正する。

【0072】テスト評価ステップにおいて、設計段階における回路基板の電気的特性評価に関する前記評価情報に基づいて、前記レイアウト情報とその時点における回路基板情報とによって記述される回路中のテスト評価対象の電気的特性の良否を評価する。定格値変更ステップにおいて、前記ノイズ対策情報中に記述されている情報であって、定格値の変更が可能な対策部品を示す情報と前記対策部品の変更可能な定格値の範囲を示す情報とに基づいて、前記テスト評価ステップにおいて電気的特性が悪いと評価された前記テスト評価対象に付加されている対策部品であって、定格値の変更が可能な対策部品について、予め定める値ずつ定格値を変更する毎に前記テスト評価ステップにおけるテスト評価を繰り返し、前記テスト評価ステップにおいて当該テスト評価対象の電気的特性が良いと評価されるまで当該対策部品の定格値を変更するとともに、前記回路基板情報を定格値変更後の回路を記述するように修正する。

【0073】出力ステップにおいて、前記レイアウトステップにおいて修正された回路基板情報と前記レイアウト情報とに記述されている回路中のテスト評価対象のうち、すべてのテスト評価対象が前記テスト評価ステップにおいて電気的特性が良いと評価された場合には、前記定格値変更ステップにおいて修正された前記回路基板情報と前記レイアウト情報とを出力する。

【0074】以上のように本発明に従えば、基本設計された電気回路を実際の基板上にレイアウトした際に生じるノイズを低減し、電気的特性に優れた回路基板を設計することができる。また、さらに、基本設計された回路に対し前記の処理を全て自動処理することより、回路基板設計者の作業負担を軽減し、回路基板設計の作業効率を向上するとともに、回路基板設計技術に習熟していない基板設計者が回路を基本設計した場合であっても、回路基板設計技術に習熟した基板設計者が回路基板を設計する場合と同様に、電気的特性に優れた回路基板を設計することができる。

【0075】請求項14記載の本発明に従えば、請求項

13記載のプリント基板設計方法の前記対策部品付加ステップでは、対策部品付加箇所認識サブステップにおいて、前記ノイズ対策情報中に記述されている情報であって、回路中の対策部品を付加すべき箇所を示す情報と入力された前記回路基板情報とを照合し、入力された前記回路基板情報中に記述されている回路の中で対策部品を付加すべき箇所を認識する。

【0076】対策部品認識サブステップにおいて、前記対策部品付加箇所認識サブステップにおいて認識した対策部品付加箇所にすでに付加されている対策部品を認識する。対策部品付加サブステップにおいて、前記ノイズ対策情報中に、回路中の対策部品を付加すべき箇所毎に予め定められている、付加すべき対策部品を示す情報と前記対策部品を付加するときの定格値を示す情報とに基づいて、前記対策部品認識サブステップにおいて認識した対策部品付加箇所であって、まだ対策部品が付加されていない箇所に、予め定める対策部品を付加する。

【0077】優先順位設定サブステップにおいて、前記対策部品認識サブステップにおいて認識した対策部品と前記対策前記対策部品付加サブステップにおいて新たに付加した対策部品とに優先順位を設定する。第1回路基板情報修正サブステップにおいて、前記優先順位設定サブステップにおいて優先順位を設定した各対策部品につき前記回路基板情報内の前記対策部品を記述する情報に前記優先順位を示す情報を付加し、前記対策部品付加サブステップにおいて新たに対策部品を付加した場合には、前記対策部品付加サブステップにおいて対策部品を付加した後の回路を記述するよう、入力された前記回路基板情報を修正する。

【0078】前記レイアウトステップでは、レイアウト領域認識サブステップにおいて、前記回路基板情報に記述されている基板上の領域であって、前記第1回路基板情報修正サブステップにおいて修正された前記回路基板情報に記述されている回路に含まれる部品および前記部品を接続する配線をレイアウトしても良い領域を認識する。

【0079】レイアウトサブステップにおいて、前記レイアウト領域認識サブステップにおいて認識した領域に、予め定めるレイアウト上の制限に従って、前記回路基板情報に記述されている回路に含まれる部品と前記部品を接続する配線とをレイアウトする。レイアウト判断サブステップにおいて、前記レイアウトサブステップで、前記レイアウト領域認識サブステップにおいて認識した領域内に、レイアウトすべきすべての前記部品と前記配線とのレイアウトを完成することができるかを判断する。

【0080】対策部品削除サブステップにおいて、前記レイアウト判断サブステップで、レイアウトを完成することができないと判断した場合に、前記第1回路基板情報修正サブステップにおいて修正した回路基板情報に記

述されている回路中の対策部品であって削除可能な対策部品を、前記優先順位設定サブステップによって設定された優先順位が低いものから順次削除し、前記対策部品を削除する毎に、前記レイアウト判断サブステップを実行し、前記レイアウト判断サブステップにおいてレイアウトを完成することができると判断されるまで削除可能な前記対策部品を削除するとともに、削除可能なすべての対策部品を削除した後であっても、なお前記レイアウト判断サブステップにおいて、レイアウトを完成することができないと判断した場合には、その旨を出力する。

【0081】レイアウト情報作成サブステップにおいて、前記レイアウトサブステップでレイアウトを行った部品および配線の位置を基板上の座標値としてレイアウト情報を作成する。第2回路基板情報修正サブステップにおいて、前記対策部品削除サブステップで前記対策部品を削除する毎に、対策部品を記述する情報にどの対策部品を削除したかを示す情報を付加することにより前記第1回路基板情報修正サブステップにおいて修正した回路基板情報をさらに修正する。

【0082】以上のように本発明に従えば、より柔軟性の高い自動レイアウト処理を実現することができるとともに、設計しようとする回路基板の電気的特性上重要な対策部品が前記対策部品削除部によって削除されてしまうことを防止することができる。請求項15記載の本発明は、請求項14記載のプリント基板設計方法において、前記定格値変更ステップはさらに、定格値変更サブステップにおいて、前記ノイズ対策情報中に記述されている情報であって、異なる定格値の対策部品に変更が可能な対策部品を示す情報と前記対策部品の変更可能な定格値の範囲を示す情報とに基づいて、前記テスト評価ステップにおいて電気的特性が悪いと評価された前記テスト評価対象に付加されている対策部品であって、異なる定格値の対策部品に変更が可能な対策部品について、前記対策部品を異なる定格値の対策部品に変更する毎に前記テスト評価ステップを実行することによるテスト評価を繰り返し、前記テスト評価ステップにおいて当該テスト評価対象の電気的特性が良いと評価されるまで当該対策部品を定格値の異なる対策部品に変更する。

【0083】第3回路基板情報修正サブステップにおいて、第2回路修正サブステップで修正された回路基板情報を定格値変更後の回路を記述するように修正する。レイアウト変更サブステップにおいて、前記定格値変更サブステップで前記対策部品の定格値を変更可能な定格値の範囲内で変更しても、なお、前記テスト評価ステップにおいて定格値変更後の回路に含まれるすべてのテスト評価対象の電気的特性が良いと評価されない場合には、再度前記レイアウトステップを実行し、前記第3回路基板情報修正サブステップによって修正された回路基板情報内に記述されている回路を、前記レイアウト情報に記述されている位置とは異なる位置に再度レイアウトす

る。

【0084】削除対策部品付加サブステップにおいて、前記レイアウトステップにおいて再度レイアウトを行った後の回路に含まれるすべてのテスト評価対象について、前記テスト評価ステップを実行してテスト評価を行い、前記テスト評価対象のうち前記テスト評価ステップにおいて電気的特性が悪いと評価された前記テスト評価対象につき、前記対策部品削除サブステップにおいて削除した前記対策部品を優先順位の高いものから順に再度付加し、前記対策部品を再度付加する毎に、再度付加した対策部品が基板上にレイアウトされるよう前記レイアウトステップを実行し、レイアウト後の回路を前記テスト評価ステップを実行してテスト評価し、前記テスト評価ステップにおいてすべてのテスト評価対象の電気的特性が良いと評価されるまで、電気的特性が悪いと評価された前記テスト評価対象につき、前記対策部品削除サブステップにおいて削除した前記対策部品を優先順位の高いものから順に再度付加する。

【0085】優先順位変更サブステップにおいて、前記削除対策部品付加サブステップで前記対策部品を再度付加する毎に、再度付加した対策部品に付加されている優先順位を、当該対策部品を削除することができないことを示す優先順位に変更する。第4回路基板情報修正サブステップにおいて、前記削除対策部品付加サブステップで前記対策部品を再度付加する毎に、前記第2回路基板情報修正サブステップで修正された前記回路基板情報中、前記第2回路基板情報修正サブステップにおいて付加した情報であって、対策部品を削除したことを示す情報を再度回路中に前記対策部品を付加したことを示す情報に修正する。

【0086】前記定格値変更ステップでは、前記削除部品付加サブステップにおいていったん削除された対策部品のうちすべての対策部品を再度付加した後の回路につき、前記テスト評価ステップにおいてすべてのテスト評価対象の電気的特性が良いと評価されない場合は、前記テスト評価ステップにおいてすべてのテスト評価対象の電気的特性が良いと評価されるまで前記定格値変更サブステップから前記第4回路基板情報修正サブステップまでの前記全サブステップを繰り返し行なう。

【0087】以上のように本発明に従えば、対策部品の定格値の変更を行った後、レイアウトされた回路の電気的特性が改善されないときには、電気的特性がよくない回路部分のレイアウトを変更するとともに、依然として前記回路の電気的特性が改善されないときには、さらに、前回のレイアウトの際に削除された対策部品のうちからその優先順位にしたがって対策部品を再度付加することができ、これにより、さらに、電気的特性に優れた回路基板を設計することができる。

【0088】請求項16記載の本発明に従えば、請求項14または請求項15記載のプリント基板設計方法の前

10

20

30

40

50



記対策部品付加ステップでは、さらに、回路テストサブステップにおいて、前記対策部品付加箇所認識サブステップで認識した対策部品付加箇所を含む予め定める回路部分について回路シミュレーションを行い、予め定める回路テスト評価対象の回路シミュレーション出力が予め定める回路テスト評価基準を満足するか否かを判断し、前記回路テスト評価対象の回路シミュレーション出力が予め定める回路テスト評価基準を満足しない場合には、前記対策部品付加サブステップを実行し、前記ノイズ対策情報に記述されている情報であって、回路中に付加すべき対策部品を示す情報と前記対策部品を付加するときの定格値を示す情報とに基づいて、前記対策部品認識サブステップにおいて認識した対策部品付加箇所に、予め定める対策部品を付加する。

【0089】以上のように本発明に従えば、基本設計された電気回路が基板上にレイアウトされる前に、ノイズ防止対策を予め施しておくことができる。請求項17記載の本発明に従えば、請求項14、請求項15または請求項16記載のプリント基板設計方法の前記対策部品付加ステップでは、さらに、回路テスト評価サブステップにおいて、前記対策部品付加サブステップにおいて対策部品を付加した回路部分について、回路シミュレーションを行い、予め定める回路テスト評価対象の回路シミュレーション出力が予め定める回路テスト評価基準を満足するか否かを判断することによって、前記対策部品付加サブステップにおいて対策部品を付加した回路部分の電気的特性の良否を評価する。

【0090】対策部品定格値変更サブステップにおいて、前記対策部品付加サブステップで対策部品を付加した回路部分の電気的特性が悪いと前記回路テスト評価サブステップで評価した場合には、前記回路部分に含まれる定格値を変更することが可能な全ての対策部品について別の定格値の対策部品に変更し、別の定格値の対策部品に変更する毎に、前記回路テスト評価サブステップを実行して別の定格値の対策部品に変更した回路部分について回路シミュレーションを行い、別の定格値の対策部品に変更した全ての回路部分について、前記回路テスト評価サブステップにおいてその電気的特性が良いと判断されるまで定格値の変更と前記回路テスト評価サブステップにおける評価とを繰り返す。

【0091】以上のように本発明に従えば、対策部品付加後の電気回路が基板上にレイアウトされる前の段階で、ノイズ防止対策を予め施しておくことができる。請求項18記載の本発明に従えば、請求項13、請求項14、請求項15または請求項17記載のプリント基板設計方法の前記定格値変更ステップでは、さらに、不要対策部品認識サブステップにおいて、定格値の変更が可能な対策部品を定格値の異なる対策部品に変更することによって前記テスト評価ステップで前記テスト評価対象の電気的特性が良いと評価された当該テスト評価対象に付

加されている対策部品の定格値を検出し、検出した前記定格値と、入力された前記ノイズ対策情報中に記述されている情報であって、回路中に付加されている対策部品の定格値を変更した結果、定格値を変更した後の対策部品が前記回路にとって不要となるときの前記定格値の範囲を示す情報とを比較し、検出した前記定格値が前記情報に示される定格値の範囲内にある場合には、定格値を変更した結果、定格値が前記情報に示される定格値の範囲となった対策部品を不要対策部品として認識する。

10 【0092】不要対策部品削除サブステップにおいて、前記不要対策部品認識サブステップにおいて認識した対策部品を削除し、前記回路基板情報を不要対策部品削除後の回路を記述するよう修正する。以上のように本発明に従えば、対策部品の定格値の変更の結果、変更後の対策部品の定格値が、その対策部品自体をほとんど無視することができるような小さな値となったとき、またはその対策部品が必要でないような大きな値となったとき、当該対策部品を削除することができる。また、これにより、電気的特性に優れた回路基板を設計することができるのと同時に、設計される回路基板に費やされる資源を節約し、前記回路基板の小型化を図ることができる。

20 【0093】請求項19記載の本発明に従えば、請求項13、請求項15または請求項18記載のプリント基板設計方法の回路基板設計方法では、さらに、設計基準作成情報入力サブステップにおいて、入力された回路基板情報に基づいて基板上に回路をレイアウトするにあたって従うべきレイアウト上の制限である設計基準を作成するための情報であって、設計基準を作成すべき対象を示す情報および前記設計基準作成対象がとりうる値の許容範囲を定める際のパラメータを示す情報などを示す設計基準作成情報を入力する。

30 【0094】設計基準作成サブステップにおいて、前記設計基準作成情報に従って予め定められる設計基準作成対象につき、予め定められる前記パラメータの下で設計基準作成対象の取りうる値を予め定める値ずつ変化させ、設計基準作成対象の取りうる値を予め定める値ずつ変化させる毎に、前記設計基準作成対象についてシミュレーションを行い、前記シミュレーション結果が予め定める設計基準作成評価基準を満足するまで設計基準作成対象の値の変更とシミュレーションによる評価とを繰り返す、前記シミュレーション結果が予め定める設計基準作成評価基準を満足したときの設計基準作成対象の値を設計基準作成対象の許容値として設計基準を作成する。

40 【0095】設計基準出力サブステップにおいて、前記設計基準作成サブステップで前記設計基準作成対象の取りうる値を可能な範囲ですべて変化させても、まだ、前記シミュレーション結果が前記設計基準作成評価基準を満足しない場合には、その旨を出力し、前記シミュレーション結果が予め定める設計基準作成評価基準を満足したときには、前記設計基準作成サブステップにおいて作



成した設計基準を出力するとともに、これに続く前記レイアウトステップにおいて前記設計基準作成サブステップで作成した設計基準に基づいてレイアウトを行うよう指示する。

【0096】従って、本発明に従えば、設計しようとする回路基板毎に最適な設計基準を作成し、前記設計基準に基づいてレイアウトを行うことにより、より電気的特性に優れた回路基板を設計することができるとともに、設計される回路基板に費やされる資源を節約し、前記回路基板の小型化を図ることができる。請求項20記載の本発明に従えば、請求項19記載のプリント基板設計方法の前記テスト評価ステップでは、伝送線路シミュレーションにおいて、回路を実際の基板上にレイアウトした場合の部品の位置、配線長、層間の接続状態、配線の物理的形状、基板の誘電率などに基づいて、回路中の各部品端子を接続するネットに予め定める入力波形を与えた場合の出力波形を計算によって求める。

【0097】以上のように本発明に従えば、回路基板の設計段階で逐次、基板上にレイアウトされた回路の電気的特性を評価することによって、より電気的特性に優れた回路基板を設計することができる。請求項21記載の本発明に従えば、請求項19または請求項20記載のプリント基板設計方法の前記設計基準作成サブステップでは、伝送線路シミュレーションにおいて、回路を実際の基板上にレイアウトした場合の部品の位置、配線長、層間の接続状態、配線の物理的形状、基板の誘電率などに基づいて、回路中の各部品端子を接続するネットに予め定める入力波形を与えた場合の出力波形を計算によって求める。

【0098】従って、本発明に従えば、設計しようとする回路基板毎に最適な設計基準を作成し、前記設計基準に基づいてレイアウトを行うことにより、より電気的特性に優れた回路基板を設計することができる。請求項22記載の本発明に従えば、請求項13、請求項15または請求項18記載のプリント基板設計方法の設計基準作成情報入力サブステップにおいて、基板上に回路をレイアウトするにあたって従うべきレイアウト上の制限である設計基準を作成するための情報であって、設計基準を作成すべき対象を示す情報および前記設計基準作成対象がとりうる値の許容範囲を定める際のパラメータを示す情報などを示す設計基準作成情報を入力する。

【0099】設計基準作成サブステップにおいて、前記設計基準作成情報入力サブステップで入力された設計基準作成情報に基づいて、予め定める設計基準作成対象につき、前記回路基板情報からパラメータの値を読み出し、読み出したパラメータ値で定められる設計基準を、前記パラメータの値に対応して設計基準を予め記憶しているメモリから読み出し、読み出した設計基準を当該設計基準作成対象の設計基準として定める。

【0100】設計基準出力サブステップにおいて、前記

設計基準作成サブステップで定めた設計基準を出力するとともに、前記レイアウトステップにおいて前記設計基準作成サブステップで定めた設計基準に基づいてレイアウトを行うよう指示する。従って、本発明に従えば、設計しようとする回路基板毎に最適な設計基準を作成し、前記設計基準に基づいてレイアウトを行うことにより、より電気的特性に優れた回路基板を設計することができる。

【0101】請求項23記載の本発明に従えば、請求項19記載のプリント基板設計方法の前記テスト評価ステップにおいて、テスト評価対象認識サブステップにおいて、前記評価情報中に記述されている情報であって、レイアウト後の回路上のテスト評価対象を示す情報に基づいて、前記レイアウト情報とその時点での前記回路基板情報とによって記述される回路中のテスト評価対象を認識する。

【0102】テスト評価サブステップにおいて、前記テスト評価対象認識サブステップで認識したテスト評価対象を含む回路部分に付加されている対策部品の種類および定格値が、予め定めるテスト評価対象を含む回路部分に付加されているべき対策部品の種類および当該対策部品がとるべき定格値の範囲を予め定めるテスト評価対象毎に定めた基準であって、メモリ内に予め記憶されているテスト評価基準を満足するか否かを判定することにより、当該テスト評価対象の電気的特性の良否を評価する。

【0103】従って、本発明に従えば、基板上にレイアウトされた回路基板の特性を逐次、テスト評価することができ、前記テスト評価の結果に基づいて、より電気的特性に優れた回路基板を設計することができる。

【0104】

【実施例】本発明のプリント基板設計方法およびシステムは、マルチチップモジュールなどのプリント基板を含む回路基板の設計を行なうが、本実施例では、プリント基板の設計についてのみ説明する。図1は、本発明の一実施例であるプリント基板設計システムの構成図である。プリント基板設計システムは、CPU101、ROM102、RAM103、対話入力部104、外部記憶部107、表示部108および印字部109を備える。

【0105】RAM103は、対話入力コマンド処理部105、設計情報入力部106、出力部110、回路修正部120、テスト評価部131、レイアウト部132および設計基準作成部133を実現するプログラムを記憶する。これらの各部の機能は、CPU101が前記プログラムを実行することによって実現される。また、RAM103は、設計情報記憶部140用の記憶領域を備える。

【0106】さらに、設計情報入力部106は、回路情報入力部161、部品情報入力部162および基板情報入力部163を備える。また、出力部110は、基板設

計情報出力部 171 および回路修正情報出力部 172 を備える。ここで、回路修正部 120 は、対策部品認識部 121、対策部品付加部 122、対策部品削除部 123 および定格値変更部 124 を備える。

【0107】さらに、設計情報記憶部 140 は、回路情報記憶部 141、部品情報記憶部 142、基板情報記憶部 143、設計基準記憶部 144、対策部品回路パターン情報記憶部 145、テスト評価情報記憶部 146、対策部品回路情報記憶部 147、対策部品情報記憶部 148、基板設計情報記憶部 149 および回路修正情報記憶部 150 を備える。

【0108】CPU 101 は、ROM 102 および RAM 103 に記憶されているプログラムを実行する。

【0109】対話入力部 104 は、キーボードおよびマウスなどであって、基板設計者から対話的に情報を入力する。対話入力コマンド処理部 105 は、本実施例のプリント基板設計システムによる基板設計段階において割り込み処理によって逐次、対話入力部 104 からの情報を本プリント基板設計システムに入力する。

【0110】設計情報入力部 106 は、プリント基板設計に必要な設計情報を入力する。回路情報入力部 161 は、回路図上の接続情報などの回路情報を入力する。回路情報入力部 161 は、外部装置である回路図 CAD によって作成された論理情報から部品間の接続に関する回路情報を入力する。回路情報入力部 161 は、回路図 CAD によって作成された回路情報をそのまま、あるいはデータ変換して入力してもよい。

【0111】部品情報入力部 162 は、部品の名称、形状、電気的特性などの部品情報を入力する。基板情報入力部 163 は、基板の形状、材質、厚さ、層数、誘電率、配線箔の幅や配線間隔などの基板情報を入力する。なお、基板設計者は、設計基準として指定したいレイアウト上の制限を前記基板情報に付加しておくことにより、前記制限が後述の設計基準作成部 133 によって作成される設計基準に含まれるようにしてもよい。前記部品情報入力部 162 および前記基板情報入力部 163 は、外部記憶部 107 内にファイルとして記憶されている部品情報および基板情報を外部記憶部 107 から読み出して入力する。

【0112】外部記憶部 107 は、磁気ディスクなどであって部品情報、基板情報、設計基準、対策部品回路パターン情報およびテスト評価情報などをそれぞれファイルとして記憶している。本実施例のプリント基板設計システムは、起動時にこれらの情報を読み出し、部品情報記憶部 142、基板情報記憶部 143、設計基準記憶部 144、対策部品回路パターン情報記憶部 145 およびテスト評価情報記憶部 146 に書き込む。また、外部記憶部 107 は、本実施例のプリント基板設計システムの基板設計結果である基板設計情報および回路修正情報を記憶する。他のプリント基板レイアウト用 CAD や製造

用 CAM は、外部記憶部 107 内にファイルとして記憶されている基板設計情報および回路修正情報などを外部記憶部 107 から読み出すことによって入力することができる。

【0113】表示部 108 は、CRT などの表示装置であり、本実施例のプリント基板設計システムによる基板の設計状態を逐次表示し、本実施例のプリント基板設計システムがプリント基板の各設計段階において、入力された設計情報によって定められる条件下では要求される電気的特性を満足するプリント基板を設計することができないと判断した場合にはその旨を表示する。さらに、本実施例のプリント基板設計システムによる設計終了の際には、設計結果である基板設計情報および回路修正情報を表示する。

【0114】印字部 109 は、プリンタなどの外部出力装置であり、本実施例のプリント基板設計システムの基板設計結果である基板設計情報および回路修正情報を紙面に印字して出力する。印字部 109 は、回路図を作成して出力しても良いし、論理情報として印字出力してもよい。出力部 110 は、本実施例のプリント基板設計システムの基板設計結果を、外部記憶部 107、表示部 108 および印字部 109 のそれぞれの出力形態に合わせてデータ変換し、前記各部に出力する。

【0115】基板設計情報出力部 171 は最終的に作成されたプリント基板設計情報を表示し、あるいは印刷し、また、あるいは他の CAD や CAM などのシステムへ利用可能なデータに変換して出力する。回路修正情報出力部 172 は、後述の回路修正部 120 が付加および削除した対策部品についての部品情報および回路修正部 120 が定格値を変更した対策部品の定格値などを外部記憶部 107、表示部 108 および印字部 109 のそれぞれの出力形態に合わせてデータ変換し出力する。回路修正情報出力部 172 は、回路修正部 120 が変更した対策部品の定格値については、変更後の定格値を出力しても良いし、また、変更前の定格値との差分を出力しても良い。

【0116】回路修正部 120 は、後述のレイアウト部 132 によって基板上のレイアウトが行われた後、テスト評価部 131 を起動して基板上にレイアウトされた回路の伝送線路シミュレーションを行い、そのシミュレーション結果に基づいて、対策部品の付加、削除および定格値の変更などを行うことにより、基板上にレイアウトされた回路が要求される電気的特性を満足するよう回路の修正を行う。

【0117】対策部品認識部 121 は、回路情報と対策部品回路パターン情報とを照合し、回路図 CAD において作成された回路中で対策部品を付加すべき箇所を認識する。さらに、対策部品認識部 121 は、前記回路図中に対策部品としてすでに付加されている部品を認識し、回路図 CAD において作成された回路中で対策部品を付

加すべき箇所であって、まだ対策部品が付加されていない箇所と、すでに対策部品が付加されている箇所とを対策部品回路情報として対策部品回路情報記憶部147に書き込む。本実施例では、対策部品を付加すべき箇所を、ネット名、ネット上の接続位置および接続方法を示す情報を用いて定める。

【0118】対策部品付加部122は、前記対策部品回路情報記憶部147から、回路中で対策部品を付加すべき箇所であって、まだ対策部品が付加されていない箇所を示す対策部品回路情報を入力し、対策部品情報記憶部148が記憶している対策部品情報に基づいて対策部品を付加する。この際、対策部品付加部122は、新たに付加した対策部品につき、優先順位を付し、その対策部品の部品情報を対策部品情報記憶部148に書き込む。また、優先順位に関しては、この際に、すでに回路中に付加されている対策部品につき、新たに付加した対策部品より高い同一の優先順位を付しても良い。

【0119】対策部品削除部123は、後述のレイアウト部132が基板上の部品配置および接続配線のレイアウトを行う際に、全ての部品とその接続配線とを前記基板上に配置することができないと判断した場合には、対策部品情報記憶部148が記憶している部品情報を参照し、各対策部品に付されている優先順位に基づいて前記優先順位が低い対策部品から順に削除する。この際、対策部品削除部123は、削除した対策部品につき、削除した旨の削除情報を対策部品情報記憶部148に書き込む。

【0120】定格値変更部124は、テスト評価部131を起動して、プリント基板のレイアウト情報、すなわち、各接続配線の幅、接続配線の長さ、基板および配線箔の材質などから、テスト評価箇所の出力評価を行い、対策部品として付加した際に暫定的に定めてあった前記対策部品の抵抗値、容量値などの値を決定する。テスト評価部131は、後述のレイアウト部132が、基板上のレイアウトを行った後、既存の方法を用いて伝送線路シミュレーションを行い、テスト評価情報記憶部146が記憶しているテスト評価箇所の出力値を評価基準値と比較して評価基準の範囲内にあるかどうかを評価する。なお、ここではテスト評価部131は、伝送線路シミュレーションを行うが、前記シミュレーションは、クロストークシミュレーションであっても良いし、電磁放射シミュレーション(EMI)であっても良いし、タイミングシミュレーションであっても良い。また、前記複数のシミュレーションを組み合わせて行っても良い。

【0121】また、テスト評価部131は、シミュレーションを行うことなく、基板上にレイアウトされた回路の電気的特性の評価を行っても良い。この場合、テスト評価部131は、外部記憶部107に記憶されているテスト評価用データベースを参照しながら基板上にレイアウトされた回路の電気的特性を評価する。前記テスト評

価用データベースには、予め定めるテスト評価対象と前記テスト評価対象に付加されているべき対策部品の種類、前記対策部品について許容される定格値の範囲などがテーブルとして記憶されている。例えば、「入力される信号レベルが7Vを越えると破損のおそれがある部品の入力ピンに接続される信号線であって、前記信号線に入力される信号が5Vの場合には、前記信号線に付加される終端抵抗は、70~80Ωとする」などの情報が記憶されている。テスト評価部131は、テスト評価情報からテスト評価対象として、「入力される信号レベルが7Vを越えると破損のおそれがある部品の入力ピンに接続される信号線」を読み出すと、その時点での回路情報に記述されている前記テスト評価対象を認識し、前記テスト評価対象に接続されている終端抵抗の定格値を認識する。テスト評価部131は、認識した前記終端抵抗の定格値をテーブルに記憶されている定格値の許容範囲と比較し、前記終端抵抗の定格値が前記許容範囲内にあれば前記テスト評価対象の電気的特性を良いと評価する。

【0122】レイアウト部132は、前記部品情報や基板外形、基板材質、配線層数、各層の厚さ、配線幅、配線間隔などの設計基準をもとに部品の配置や部品間の配線パターンなどからなる基板レイアウトを行う。レイアウト中に、基板上に配置しきれない部品および配線を生じた場合には、対策部品削除部123を起動して、優先順位の低い対策部品を削除し、再度レイアウトを行う。なお、レイアウト部132のレイアウト処理において、基板設計者が対話入力部104を用いて一部対話的に修正などを行うようにしてもよい。レイアウト部132は、レイアウトを変更する度に基板設計情報記憶部149内の基板設計情報を書き換え、最終的に決定した基板設計情報を基板設計情報出力部171に出力する。

【0123】設計基準作成部133は、前記基板情報および前記部品情報から配線長制限を含むプリント基板の設計基準を作成する。設計基準作成部133は、作成した設計基準を、設計基準記憶部144に書き込む。なお、設計基準作成については、後に詳細に説明する。設計情報記憶部140は、各基板を設計する際に必要な情報を記憶する。回路情報記憶部141は、回路情報を記憶する。前記回路情報とは、回路図CADから入力した部品の論理的な接続情報であって、どの部品のピンと、どの部品のピンとが配線接続されるか、また、接続されるピンは部品の入力ピンか出力ピンかなどを表す情報である。前記回路情報は、ネット名、そのネットによって接続される部品番号、部品名、接続されるピン番号、そのピンの属性などからなる。

【0124】図2は、回路図CADから入力される回路情報の内容を説明するための回路図である。部品IC1のピンPIN1と部品IC2のピンPIN4が接続され、そのネット(接続)にNET-Aという名前がつけられており、部品IC1のピンPIN2とIC3のピン

PIN3とが接続されていてそのネットにNET-Bという名前がつけられていることを表している。また、別途、各ネットに流れる電気信号の特性の情報も記述されている。

【0125】部品情報記憶部142は、部品情報を記憶する。前記部品情報とは、回路中に含まれる部品の形状および属性を記述している。前記部品情報は、部品番号、部品名、部品の種類、部品の形状、部品ピンの入出力属性、例えばピン出力の立ち上がり時間や、ピン容量などの電気特性、部品の優先順位などからなる。なお、部品の優先順位については、回路図CADで回路を設計する段階で付しておく必要はなく、部品情報入力部162が前記部品情報を入力した段階ですでに記述されているすべての部品に対して同一の優先順位を付しても良い。

【0126】基板情報記憶部143は、基板情報を記憶する。前記基板情報は、基板の形状や属性を記述している。前記基板情報は、基板の形状、基板の層数、各層の厚さ、基板の厚さ、基板材質の誘電率などからなる。図3は、基板情報の内容を具体的に説明するための斜視図である。図3に示す基板情報は、基板の厚さ0.15cm、基板の層数4、配線箔の幅0.05mm、配線の箔厚0.02mm、配線箔の間隔0.1mm、基板材質の誘電率0.5を示している。その他、前記基板情報は、配線箔の材質、基板各層の厚さなどの情報を含む。

【0127】設計基準記憶部144は、設計基準および設計基準作成情報を記憶する。前記設計基準は、基板を設計するにあたって守るべき基準として設けられたレイアウト上の制限を記述している。前記設計基準は、予め外部記憶部107にファイルとして記憶させておき、本実施例のプリント基板設計システム起動時に取り出して、設計基準記憶部144に書き込んでもよい。また、前記設計基準は、本実施例のプリント基板設計システムの設計基準作成時に、対話入力部104から対話入力されても良い。さらに、前記設計基準は、入力した設計基準を基板情報に基づいて変更しても良いし、後述するように、設計基準作成部133が基板情報および部品情報に基づいて新たに作成しても良い。前記設計基準は、部品のつかみ代、配線長制限などの情報からなる。

【0128】前記設計基準作成情報は、配線長制限など設計基準作成部133が設計基準として制限を定めるべき対象について記述する。前記設計基準作成情報は、設計基準作成対象を示す情報と、前記設計基準作成対象毎に定められるパラメータと、前記設計基準作成対象の値を変化させる場合の変化量などの情報からなる。前記設計基準作成対象とは、例えば、配線長、平行配線長、等長配線指定など、設計基準によって制限を加えるべき対象をいう。

【0129】図4は、設計基準の具体例の一部を示す図である。図4に示す設計基準は、平行配線長および等長

配線についての一般的な制限を表している。なお、この例では作成された設計基準を文章で表しているが、この出力をプリント基板のレイアウトシステムなどの外部装置に渡す場合は、その対象システムが用いている、あるいは用いている様式に変換し易い様式で設計基準を表してもよい。

【0130】対策部品回路パターン情報記憶部145は、対策部品回路パターン情報を記憶する。前記対策部品回路パターン情報は、接続される部品および部品のピンの属性などにより対策部品が付加されるべきネットを記述している。前記対策部品回路パターン情報は、予め外部記憶部107にファイルとして記憶されており、本実施例のプリント基板設計システム起動時に取り出され、対策部品回路パターン情報記憶部145に書き込まれる。ここで、前記対策部品回路パターン情報は、本実施例のプリント基板設計システムの回路修正時に、対話入力部104から対話入力されても良い。

【0131】前記対策部品回路パターン情報は、対策部品付加対象ネットによって接続される部品の種類、接続される部品のピンの属性、そのネットに付加されるべき対策部品の種類、前記種類の中から選択付加されるべき対策部品の種類の優先順位、対策部品が付加されるべきネット上の位置、前記対策部品の付加および削除についての優先順位、対策部品の暫定定格値、前記暫定定格値を変更する場合の変更許容範囲、前記対策部品が削除可能となる定格値の範囲および対策部品を付加する場合には並列に接続するか直列に接続するかといった接続の種類などの情報からなる。

【0132】図5は、対策部品回路パターン情報の一例を示す図である。図5では、対策部品回路パターン情報を文章で表現しているが、対象システムが用いている、あるいは用いている様式に変換し易い様式で表してもよい。テスト評価情報記憶部146は、テスト評価情報を記憶する。前記テスト評価情報は、テスト評価部131がシミュレーションによってテスト評価すべき箇所およびその箇所の評価基準について記述する。テスト評価情報は、予め外部記憶部107にファイルとして記憶されており、本実施例のプリント基板設計システム起動時に取り出され、テスト評価情報記憶部146に書き込まれる。また、前記テスト評価情報は、本実施例のプリント基板設計システムによる回路修正時に、対話入力部104から対話入力されても良い。

【0133】テスト評価情報は、テスト評価部131がシミュレーションを行うべき回路部分、シミュレーションの際の入力信号、シミュレーション結果である出力波形を取り出す箇所、前記出力波形を評価する際の評価基準値およびその許容範囲などからなる。対策部品回路情報記憶部147は、対策部品回路情報を記憶する。前記対策部品回路情報は、対策部品認識部121が回路図CADから入力した回路情報と対策部品回路パターン情報

記憶部 145 から読み出した対策部品回路パターン情報とを照合した結果、対策部品認識部 121 によって認識される対策部品付加対象ネットについて記述する。前記対策部品回路情報は、基板設計者が、別途、対話入力しても良い。

【0134】前記対策部品付加対象ネットは、回路図 CAD から入力した回路情報に記述されているネットであって、対策部品を付加すべきであるのにまだ対策部品が付加されていないネットである。従って、対策部品付加部 122 は、前記対策部品付加対象ネットに対策部品を付加した後、対策部品を付加したことを示す情報を付すことにより対策部品回路情報を書き換える。

【0135】前記対策部品回路情報は、前記対策部品付加対象ネットのネット番号、そのネットに付加されるべき対策部品の種類の候補、前記候補の中から対策部品として選択する際の優先順位、前記対策部品の付加および削除についての優先順位、対策部品の暫定定格値対策部品を付加する場合には並列に接続するか直列に接続するかといった接続の種類および前記対策部品付加対象ネット上で、入力ピンの近くに接続するか出力ピンの近くに接続するかといった接続方法などの情報からなる。

【0136】対策部品情報記憶部 148 は、対策部品情報を記憶する。前記対策部品情報に記述される対策部品は、対策部品認識部 121 が対策部品として認識した部品および前記対策部品付加部 122 によって前記対策部品付加対象ネットに付加された対策部品である。対策部品情報は、その対策部品の部品番号、部品名、部品の種類、部品の形状、ピンの属性、ピン容量、電気的特性、現在の定格値、他の種類に変更する場合の対策部品の種類の候補、前記候補の優先順位、対策部品を他の種類に変更付加する場合の暫定定格値、前記定格値を変更する場合の変更定格値の候補、定格値の変更許容範囲、定格値を変更する場合の優先順位、付加および削除についての優先順位および前記対策部品が削除可能となる定格値の範囲などからなる。なお、定格値の変更は、現在付加されている対策部品を同じ種類の対策部品であって定格値の異なる対策部品に取り変えることによって行われる。従って、前記変更定格値の候補は、定格値を変更してもその対策部品の形状が変わらないことを前提として選ばれる。

【0137】図 6 は、定格値の変更許容範囲設定の一例を示す回路図である。一旦付加した対策部品の抵抗値や容量値などの値を、レイアウト設計時に決定される配線長などの物理的な値に応じて変更することができるように、前記付加部品に暫定的な値や許容範囲を設けたことをあらわす。抵抗 801 は、暫定値が 51 オーム、許容範囲が 1~200 オーム、コンデンサ 802 は、暫定値が 47 pF で、許容範囲が 10~100 pF となっている。この対策部品の暫定的な値や許容範囲は、対策部品情報として出力され、レイアウト時などに利用すること

ができる。

【0138】基板設計情報記憶部 149 は、基板設計情報を記憶する。前記基板設計情報は、本実施例のプリント基板設計システムの設計結果を記述する情報であり、部品の配置位置および配線経路などを記述する。部品の配置位置は、各部品の基板上の座標位置、その部品を実装する基板面、実装角度などによって記述され、配線経路は、部品間を接続する箔の基板上の座標位置、箔の厚さ、箔の幅、箔によって配線が形成される基板面などによって記述される。また、基板の材質、基板の形状、箔の材質などを示した基板情報も併せて前記基板設計情報として出力される。

【0139】図 7 (a) は本実施例のプリント基板設計システムによって最終的に決定された回路情報を示す回路図である。ここでは、クロック周波数 30 MHz の信号を伝送するネットであって、部品 IC4 と部品 IC5 とを接続する前記ネット上に、接地と抵抗 R6 が付加されていることを表している。図 7 (b) は前記回路がプリント基板上で実際にレイアウトされた場合の座標上の配置を示す平面図である。図 7 (b) では説明上、表示画面上に図形として表示する形式になっているが実際は基板形状、部品 IC4、部品 IC5、抵抗 R6 の形状、座標値、配線箔の幅や接続およびそれらの座標値を示す情報を含んでいけばよい。

【0140】図 7 (c) は基板設計情報に含まれる基板情報を説明するための図である。図 7 (c) に示すように、基板情報は、基板の厚さや材質、誘電率、配線箔の厚さや幅などの情報を表している。本実施例のプリント基板設計システムにおいては、前記基板情報に変更を加えることはないが、設計の次の段階である製造処理に前記基板情報を渡す必要があるので、本実施例のプリント基板設計システムは、前記基板情報を基板設計情報の一部として出力する。

【0141】なお、基板設計情報出力部 171 によって出力される基板設計情報は、図 7 (b) および図 7

(c) に示す情報であって、図 7 (a) に示す情報は、回路修正情報出力部 172 によって論理的な情報として出力される。回路修正情報記憶部 150 は、回路修正情報を記憶する。前記回路修正情報は、回路修正部 120 によって回路図 CAD から入力された回路情報および部品情報のうち、変更が加えられた部分について記述する。ここでは、回路修正部 120 によって新たに付加された対策部品、定格値を変更された部品および他の種類に変更された部品の最終的な部品情報を記述し、削除された部品については、回路図 CAD から入力された部品情報に記述されている部品番号を記述する。また、対策部品の変更等により接続が変更された場合なども変更後の回路情報を記述する。

【0142】図 8 (a) は、設計情報入力部 106 から入力された回路中のネットの一部であって、対策部品認

識部121が、電氣的対策を施すべきネット、すなわち、対策部品付加対象ネットとして認識した対策部品付加箇所の一例を示す。図8(b)は、対策部品付加部122が、前記ネットに反射対策部品を付加した一例を示す。図8(c)は、定格値変更部124が前記反射対策部品の部品定格値に修正を加えた一例を示す。

【0143】図9(a)は、シミュレーションの際に図8(a)、図8(b)および図8(c)に示すネットに入力される信号波形を示す。図9(b)、図9(c)および図9(d)は、それぞれ、シミュレーションの結果、図8(a)、図8(b)および図8(c)に示すネットの入力ピン側で取り出される出力波形を示す。図10は、本発明の一実施例であるプリント基板設計方法の設計手順を示すフローチャートである。

【0144】図8(a)に示すネットは、例えば、入力される制御信号が電圧値7Vを越えると破損のおそれがある部品の入力ピンに図9(a)に示す制御信号を入力する。ここで、例えば、前記ネットを介して前記回路に電圧値5Vの制御信号を入力したにもかかわらず、前記制御信号上にネットの両端での反射による図9(b)に示すようなリングング等の振動性のノイズを生じてしまうことにより点P1で示す前記制御信号のオーバーシュートが上限の電圧値7V以上となった場合には、これを入力する前記部品は破損の可能性を生じる。

【0145】このように伝送すべき信号上にノイズを発生することにより誤動作や破損を生じやすい部品間を接続するネットであって、しかも反射が起こりやすいネットについては、対策部品回路パターン情報記憶部145が記憶している対策部品回路パターン情報に記述されている。対策部品認識部121は、回路情報記憶部141から回路情報を読み出し、前記対策部品回路パターン情報と照合することによって対策部品付加対象ネットを認識する。対策部品認識部121は、認識した対策部品付加対象ネットのネット番号およびそのネットに付加されるべき対策部品の候補についての情報を対策部品回路情報記憶部147に書き込む。

【0146】次いで、対策部品付加部122は、前記対策部品回路情報を参照して対策部品付加対象ネットに対策部品を付加する。ここでは、優先順位に従って対策部品の種類を選択する。対策部品付加部122は、新たに付加した対策部品に、部品番号、部品名および当該対策部品の付加または削除に関する優先順位などを付し、さらに対策部品回路パターン情報を参照して、付加した対策部品の変更可能な属性について、例えば、部品の種類、定格値などについての情報を対策部品情報記憶部148に書き込む(ステップS1001)。なお、この処理の開始時に基板設計者が対話入力によって対策部品を付加するようにしてもよい。

【0147】ここで、対策部品付加部122は、図8(a)に示すネットに対して、図8(b)に示すように

対策部品として暫定抵抗値51オームの抵抗201を付加している。なお、対策部品付加部122は、前記対策部品回路パターンが一致したネットすべてに対して対策部品を付加してもよいし、あらかじめ、ある基準を設けておいて、パターンが一致したネットについて別途回路シミュレーションなどの計算を行い、問題が生じる可能性のあるネットにのみ対策部品を付加してもよい。ここでいう回路シミュレーションとは、回路図レベルでの情報、すなわち、部品情報とその接続情報のみを用いて、回路信号などを計算するプログラムである。

【0148】次いで、設計基準作成部133は、設計基準を作成する。設計基準作成についての詳細は、後述する。(ステップS1002)

次いで、レイアウト部132は、修正された回路情報および設計基準を用いて部品の配置および配線のレイアウトを行うとともに、レイアウトした配線の基板上的位置を示す座標値を基板設計情報記憶部149に書き込む(ステップS1003)。

レイアウト部132は、レイ

アウト中に、すべての部品を配置し、かつ、それらを接続するための配線を配置する領域が不足した場合には

(ステップS1004)、対策部品削除部123を起動して各対策部品に付された優先順位にしたがって順次、削除する。レイアウト部132は、基板上的配置領域にすべての部品を配置し配線接続することができるまで対策部品を削除し(ステップS1005)、再度、レイアウトを行う(ステップS1003)。ここで、削除できる対策部品がなくなり(ステップS1006)、すべての部品を配置し配線接続するだけの配置領域を確保することができなくなった場合には、表示部108にその旨の表示を行い(ステップS1007)、処理を終了する。

【0149】テスト評価部131は、レイアウトされた配線パターンの幅や長さをもとに、伝送線路シミュレーションを行ない、出力される波形をテスト評価情報記憶部146に記憶されているテスト評価基準と比較してレイアウトされた回路を評価する(ステップS1008)。ここでいう伝送線路シミュレーションとは、部品のピンの電氣的な波形の立ち上がり特性、立ち下がり特性、入出力インピーダンスおよびピン容量などの部品情報や、配線箔の形状および長さ、基板の誘電率など基板の物理的情報をもとに伝送線路上を流れる信号波形などをプログラムに基づいて計算することをいう。

【0150】ここでは、図9(c)に示す出力波形が得られ、テスト評価部131は、点P2で示すオーバーシュートがまだ7Vであって、それより低い値に定められているテスト評価基準値を依然として越えているため、対策部品付加部122が付加した対策部品である暫定定格値51Ωの抵抗201を受理できないものと評価する。

【0151】定格値変更部124は、テスト評価部13



1の評価結果に基づき(ステップS1009)、出力波形が評価基準を満足しなかったテスト評価箇所に対応する対策部品の定格値を変更する(ステップS1010)。この際、定格値変更部124は、対策部品情報に記述されている変更定格値の候補の中から変更すべき次の値となる定格値を選択する。ここでは、定格値変更部124は、対策部品情報の中から変更定格値の次の候補である抵抗値75Ωを選択し、図8(c)に示すように、対策部品である暫定抵抗値51オームの抵抗201を抵抗値75オームの抵抗202に変更している。

【0152】このとき、定格値変更部124は、出力波形が評価基準を満足しないテスト評価箇所のすべての対策部品について、変更可能な定格値を変更可能な範囲の制限値まですでに変更していた場合には、対策部品として他の種類の部品に変更できるものが有ればその部品に変更する。対策部品の種類を変更した場合には、その暫定定格値から変更可能な定格値の範囲内で、再び定格値の変更を行う。定格値変更部124は、対策部品の定格値など変更可能な属性を変更する都度、対策部品情報記憶部148の対策部品情報を書き直す。なお、対策部品の種類の変更は、設計対象となるプリント基板によって、行っても行わなくても良い。

【0153】次いで、テスト評価部131はテスト評価箇所のテスト評価を行い(ステップS1011)、テスト評価箇所の出力波形が評価基準を満足していない場合には(ステップS1012)、レイアウト部132は当該テスト評価箇所を含む回路部分につき、部品の配置およびその接続配線などのレイアウトを変更する(ステップS1013)。テスト評価部131は、さらに、テスト評価箇所のテスト評価を行い(ステップS1014)、前記テスト評価箇所の出力波形が評価基準を満足しない場合には(ステップS1015)、対策部品削除部123は、前回削除した対策部品を再度付加し、再度付加した対策部品については、削除不可として優先順位を変更し、対策部品情報記憶部148内の対策部品情報を書き換える(ステップS1016)。その後、対策部品削除部123は、基板上にすべての部品を配置し配線接続をすることができる配置領域が確保されるまで削除可能な対策部品を削除する(ステップS1005)。対策部品削除部123は、これにより基板上にすべての部品を配置し配線接続をすることができる配置領域が確保できない場合には(ステップS1006)、表示部108にその旨の表示を行わせ(ステップS1007)、処理を終了する。本実施例のプリント基板設計システムは、上記動作をテスト評価箇所の出力波形が評価基準を満足するまで繰り返す。

【0154】全てのテスト評価箇所の出力波形が評価基準を満足すれば、定格値変更部124は、対策部品情報記憶部148に記憶されている対策部品情報を参照し、定格値変更部124によって変更され最終的に決定した

対策部品の定格値が、その対策部品を削除したとしても設計されたプリント基板の電気的特性にほとんど影響を与えない値の範囲に入っているかどうかを判断し、前記定格値が前記値の範囲に入っていれば削除可能として当該対策部品を削除する。このとき、定格値変更部124は、テスト評価部131を起動して、再度、テスト評価箇所の出力波形を評価させ、評価の結果、テスト評価箇所の出力波形が評価基準を満足していない場合には、削除した対策部品を再度付加しても良い。この処理は、設計対象となるプリント基板によって省略しても良い。

【0155】定格値変更部124は、最終的にテスト評価の結果が評価基準を満足すると、対策部品情報記憶部148に書き込んでおいた対策部品の最終的な部品情報を回路修正情報記憶部150に書き込むとともに、回路修正情報出力部172に出力する。以下、設計基準作成部133の設計基準作成動作について、詳細に説明する。ここでは、設計基準作成部133は、シミュレーション結果に基づいて、各基板独自の設計基準を作成する。

【0156】図11は、設計基準作成部133における設計基準作成の手順の一例を示すフローチャートである。設計基準作成部133は、回路情報や基板情報をもとに遅延の防止、ノイズの低減、不要輻射の低減などの電気的特性を満足するための平行配線長制限、配線長制限、等長配線指定などの設計基準を作成する。具体的には、設計基準作成部133は、設計基準作成情報内に記述された設計基準作成対象、例えば、配線長などについて、回路情報、部品情報および基板情報をもとに、前記設計基準作成対象に対応する設計基準を作成する。

【0157】設計基準作成部133は、回路情報記憶部141、部品情報記憶部142および基板情報記憶部143から回路情報、部品情報および基板情報を読み出し(ステップS1101)、設計基準記憶部144から読み出した設計基準作成情報と照合して(ステップS1102)、設計基準作成対象を認識する(ステップS1103)。

【0158】図11に示す例では、設計基準作成情報には、「高周波の信号が入力される信号線とその信号線に平行に配置される配線との平行配線長を設計基準作成対象とし、そのパラメータを①伝送する信号の信号周波数、②配線間隔、③基板の誘電率、④配線箔の幅および⑤出力ピンでの立ち上がり時間とする」旨の内容が記述されている。設計基準作成部133は、設計基準作成情報に定められている設計基準作成対象「平行配線長L」を示す情報とパラメータを示す情報「伝送する信号の信号周波数、配線間隔、基板の誘電率、配線箔の幅、出力ピンでの立ち上がり時間」とに基づいて、回路情報、部品情報および基板情報から「クロックである部品Cの出力ピンPIN-1に接続されるネットNET-Aの伝送周波数30MHz、配線間隔0.1mm、基板の誘電率



0.5、配線箔の幅0.05mm、出力ピンでの立ち上がり時間2nsec)を読み出す。ここで、設計基準作成部133は、「周波数30MHz、配線間隔0.1mm、基板の誘電率0.5、配線箔の幅0.05mm、出力ピンでの立ち上がり時間2nsec)が定められる配線「ネットNET-AおよびネットNET-B」を認識し、ネットNET-AとネットNET-Bとに定められる個別の平行配線長制限として設計基準を作成する。また、設計基準作成部133は、予め定めるパラメータによって認識した特定の設計基準作成対象箇所に対するレイアウト上の制限を、当該基板全体に対するレイアウト上の制限として設計基準を作成してもよい。

【0159】設計基準作成情報には、予め、設計基準作成対象初期値として「平行配線長 $L=30\text{cm}$ 」、設計基準作成対象変化量「 $\Delta L=1\text{cm}$ 」という値が定められている。設計基準作成部133は、テスト評価部131を起動し、設計基準作成対象「 $L$ 」、設計基準作成対象初期値「 $L=30\text{cm}$ 」および設計基準作成対象変化量「 $\Delta L=1\text{cm}$ 」をテスト評価部131に渡し、テスト評価部131に前記パラメータ値「周波数30MHz、配線間隔0.1mm、基板の誘電率0.5、配線箔の幅0.05mm、出力ピンでの立ち上がり時間2nsec)の下でいくつかのシミュレーション、例えば、クロストークシミュレーションなどを実行させる(ステップS1104)。具体的には、テスト評価部131は、誘電率0.5の基板上に配線箔幅0.05mm、配線間隔0.1mm、平行配線長 $L$ でレイアウトされる配線を想定し、その一方に周波数30MHz、立ち上がり時間2nsec)の信号を入力したときの他方の配線に現れるクロストークの大きさなどを計算によって求め、ノイズの影響を評価する。

【0160】設計基準作成部133は、前記シミュレーションの結果、前記平行配線間に生じるクロストークなどの悪影響が、設計後のプリント基板の電気的特性上、無視できる範囲にあるかどうかを、テスト評価箇所の出力波形が予め定められる評価基準を満足するかどうかによって評価する。前記テスト評価箇所の出力波形が前記評価基準を満足しない場合、すなわち、クロストークなどの悪影響を無視できないような場合には(ステップS1105)、平行配線長 $L$ を1cm短くするなど配線長制限を厳しくし、すなわち、前記パラメータ $L$ をパラメータ変化量( $-\Delta L$ )だけ変化させ(ステップS1106)、再度シミュレーションを行う(ステップS1104)。設計基準作成部133は、テスト評価箇所の出力波形がそのテスト評価箇所に対応する評価基準を満足するまで前述のステップS1104～ステップS1106を繰り返し、テスト評価箇所の出力波形が前記評価基準を満足したときのパラメータ量を設計基準とする(ステップS1107)。この後、設計基準作成部133は、次の設計基準を定めるためステップS1101に戻る。

【0161】ここでは、図11に示すように、設計基準作成部133は、設計基準「ネットNET-AおよびネットNET-Bに平行にレイアウトされる配線の平行配線長は10cm以下とする」を作成している。設計基準作成部133は、作成した設計基準を設計基準記憶部144に書き込む。また、設計基準作成部133は、対話入力部104から入力された出力要求により、作成した設計基準を表示部108に表示し、印字部109によって印刷し、データ変換して他のCADやCAMなどのシステムへ設計基準記憶部144を介して出力する。

【0162】これにより、設計しようとするプリント基板独自の電気的特性に適合した設計基準を作成することができる。図12は、設計基準作成部133における設計基準作成の手順の他の例を示すフローチャートである。ここでは、設計基準作成部133は、外部記憶部107に記憶されている設計基準作成用データベースを参照しながら設計基準を作成する。

【0163】設計基準作成部133は、回路情報記憶部141、部品情報記憶部142および基板情報記憶部143から回路情報、部品情報および基板情報を読み出し(ステップS1301)、設計基準記憶部144に記憶されている設計基準作成情報を読み出す(ステップS1302)。設計基準作成部133は、回路情報、部品情報および基板情報の中から、設計基準作成情報の中で設計基準作成対象ごとに定められているパラメータ、パラメータ値およびそのパラメータ値が定められている設計基準作成対象箇所を認識する。ここでは、設計基準作成部133は、設計基準作成対象箇所としてネットNET-AおよびネットNET-Bを認識し、パラメータおよびパラメータ値としてネットNET-AおよびネットNET-Bのクロック周波数30MHzおよびその配線間隔0.1mmを認識している(ステップS1303)。

【0164】設計基準作成部133は、設計基準作成用データベース内を検索し、認識した前記パラメータ値が条件を満足する設計ルールをさがす。前記設計ルールは、設計基準作成対象ごとに、前記パラメータの値に応じて前記設計基準作成対象に対して設計基準として定めるべき制限値を記述している。例えば、前記設計ルールは、設計基準作成対象が平行配線長である場合には、「クロック周波数が30MHz以下であって、配線間隔が0.1mm以上であれば、平行配線長は10cm以下とする」、「クロック周波数が20MHz以下であって、配線間隔が0.1mm以上であれば、平行配線長は15cm以下とする」、…などのように、パラメータの値の範囲を条件とし、前記パラメータが前記条件を満足する場合に設計基準作成対象の設計基準として定めるべき制限値を記述している(ステップS1304)。

【0165】設計基準作成部133は、設計基準作成用データベース内を検索し、「クロック周波数30MHz、配線間隔0.1mm」というパラメータの値が条件

を満足する設計ルールをさがす。ここでは、設計基準作成部133は、「クロック周波数30MHz以下であって、配線間隔が0.1mm以上であれば、平行配線長は10cm以下とする」という設計ルールを得ている。設計基準作成部133は、検索の結果得られた前記設計ルールの制限値を設計基準作成対象箇所の設計基準として定める。これにより、設計基準作成部133は、ネットNET-AおよびネットNET-Bに対して「平行配線長は10cm以下とする」という設計基準を作成する(ステップS1305)。

【0166】設計基準作成部133は、前記ステップS1301～ステップS1305の動作を繰り返し、すべての設計基準作成対象箇所および設計基準作成対象につき設計基準を作成する。これにより、設計しようとするプリント基板独自の電気的特性に適合した設計基準を作成することができる。

【0167】なお、ここではプリント基板設計システムは、設計基準作成情報を設計基準記憶部144に記憶していたが、これに代えて、設計基準作成情報を前記設計基準作成用データベース内に記憶させておいてもよい。

【0168】

【発明の効果】以上のように、請求項1記載の本発明によれば、前記対策部品付加手段が基本設計された回路に対策部品を付加し、前記レイアウト手段が対策部品が付加された回路を基板上にレイアウトするとともに、テスト評価手段がレイアウトされたプリント基板の電気的特性を評価し、前記評価結果に応じて、前記定格値変更手段が、付加されている対策部品の変更可能な定格値を変更することによって、基本設計された電気回路を実際の基板上にレイアウトした際に生じるノイズを低減し、電気的特性に優れた回路基板を設計することができる。また、さらに、基本設計された回路に対し前記の処理を全て自動処理することより、回路基板設計者の作業負担を軽減し、回路基板設計の作業効率を向上することができる。とともに、回路基板設計技術に習熟していない基板設計者が回路を基本設計した場合であっても、回路基板設計技術に習熟した基板設計者が回路基板を設計する場合と同様に、電気的特性に優れた回路基板を設計することができる。

【0169】以上のように、請求項2記載の本発明によれば、対策部品付加手段が基本設計された回路に必要な対策部品を付加した後、前記優先順位設定部が前記回路中に付加されている全ての対策部品に優先順位を与え、レイアウトの際に、前記回路に含まれるすべての部品と配線とを基板上にレイアウトしきれない場合には前記対策部品削除部が優先順位の低い対策部品から順次削除して再度レイアウトを行うことによって、より柔軟性の高い自動レイアウト処理を実現することができる。とともに、設計しようとする回路基板の電気的特性上重要な対策部品が前記対策部品削除部によって削除されてしまう

ことを防止することができる。従って、より電気的特性に優れた回路基板を設計することができる。

【0170】以上のように、請求項3記載の本発明に従えば、対策部品付加手段が基本設計された回路に必要な対策部品を付加した後、前記優先順位設定部が前記回路中に付加されている全ての対策部品に優先順位を与え、レイアウトの際に、前記回路に含まれるすべての部品と配線とを基板上にレイアウトしきれない場合には前記対策部品削除部が優先順位の低い対策部品から順次削除して再度レイアウトを行うことによって、より柔軟性の高い自動レイアウト処理を実現することができる。とともに、設計しようとする回路基板の電気的特性上重要な対策部品が前記対策部品削除部によって削除されてしまうことを防止することができる。従って、より電気的特性に優れた回路基板を設計することができる。

【0171】以上のように、請求項4記載の本発明によれば、対策部品の定格値の変更を行った後、レイアウトされた回路の電気的特性が改善されないときには、電気的特性がよくない回路部分のレイアウトを変更するとともに、依然として前記回路の電気的特性が改善されないときには、さらに、前回のレイアウトの際に削除された対策部品のうちからその優先順位にしたがって対策部品を再度付加することができ、これにより、さらに、電気的特性に優れた回路基板を設計することができる。

【0172】以上のように、請求項5記載の本発明によれば、前記回路テスト部が基本設計された電気回路の特性を回路シミュレーションを行うことによって評価し、評価がよくない回路部分に、前記対策部品付加部が適切な対策部品を付加することによって、基本設計された電気回路が基板上にレイアウトされる前に、ノイズ防止対策を予め施しておくことができる。従って、より電気的特性に優れた回路基板を設計することができる。

【0173】以上のように、請求項6記載の本発明によれば、前記回路テスト評価部が回路シミュレーションを行うことによって前記対策部品付加部によって対策部品を付加された回路の電気的特性を評価し、評価がよくない回路部分に付加されている対策部品の定格値を前記対策部品定格値変更部が変更することによって、対策部品付加後の電気回路が基板上にレイアウトされる前の段階で、ノイズ防止対策を予め施しておくことができる。従って、より電気的特性に優れた回路基板を設計することができる。

【0174】以上のように、請求項7記載の本発明によれば、対策部品の定格値の変更の結果、変更後の対策部品の定格値が、その対策部品自体をほとんど無視することができるような小さな値となったとき、またはその対策部品が必要でないような大きな値となったとき、当該対策部品を削除することができる。また、これにより、電気的特性に優れた回路基板を設計することができる。とともに、設計される回路基板に費やされる資源を節約

し、前記回路基板の小型化を図ることができる。

【0175】以上のように、請求項8記載の本発明によれば、設計しようとする回路基板毎に最適な設計基準を作成し、前記設計基準に基づいてレイアウトを行うことにより、より電気的特性に優れた回路基板を設計することができるとともに、設計される回路基板に費やされる資源を節約し、前記回路基板の小型化を図ることができる。

【0176】以上のように、請求項9記載の本発明によれば、回路基板の設計段階で逐次、伝送線路シミュレーションを行い、基板上にレイアウトされた回路の電気的特性を評価することによって、より電気的特性に優れた回路基板を設計することができる。以上のように、請求項10記載の本発明によれば、伝送線路シミュレーションによる電気的特性の評価に基づいて、設計しようとする回路基板毎に最適な設計基準を作成し、作成した前記設計基準に基づいてレイアウトを行うことにより、設計しようとする回路基板により適した設計基準に基づいてレイアウトを行うことができ、より電気的特性に優れた回路基板を設計することができる。

【0177】以上のように、請求項11記載の本発明によれば、設計しようとする回路基板のパラメータの値に応じて前記設計基準記憶部内に設計基準作成対象毎に予め記憶されている設計基準を読み出し、読み出した前記設計基準に基づいてレイアウトを行うことにより、設計しようとする回路基板により適した設計基準に基づいてレイアウトを行うことができ、より電気的特性に優れた回路基板を設計することができる。

【0178】以上のように、請求項12記載の本発明によれば、テスト評価対象を含む回路部分に付加されている対策部品の種類および定格値が前記テスト評価基準記憶部に記憶されているテスト評価基準を満足するかどうかを判定することにより、基板上にレイアウトされた回路基板の特性を逐次、テスト評価することができ、前記テスト評価の結果に基づいて、より電気的特性に優れた回路基板を設計することができる。

【0179】以上のように、請求項13記載の本発明によれば、前記対策部品付加ステップにおいて基本設計された回路に対策部品を付加し、前記レイアウトステップにおいて対策部品が付加された回路を基板上にレイアウトするとともに、テスト評価ステップにおいてレイアウトされたプリント基板の電気的特性を評価し、前記評価結果に応じて、前記定格値変更ステップにおいて付加されている対策部品の変更可能な定格値を変更することによって、基本設計された電気回路を実際の基板上にレイアウトした際に生じるノイズを低減し、電気的特性に優れた回路基板を設計することができる。また、さらに、基本設計された回路に対し前記の処理を全て自動処理することより、回路基板設計者の作業負担を軽減し、回路基板設計の作業効率を向上することができるとともに、

回路基板設計技術に習熟していない基板設計者が回路を基本設計した場合であっても、回路基板設計技術に習熟した基板設計者が回路基板を設計する場合と同様に、電気的特性に優れた回路基板を設計することができる。

【0180】以上のように、請求項14記載の本発明によれば、対策部品付加ステップにおいて基本設計された回路に必要な対策部品を付加した後、前記優先順位設定サブステップにおいて前記回路中に付加されている全ての対策部品に優先順位を与え、レイアウトの際に、前記回路に含まれるすべての部品と配線とを基板上にレイアウトしきれない場合には、前記対策部品削除サブステップにおいて優先順位の低い対策部品から順次削除して再度レイアウトを行うことによって、より柔軟性の高い自動レイアウト処理を実現することができるとともに、設計しようとする回路基板の電気的特性上重要な対策部品が前記対策部品削除サブステップにおいて削除されてしまうことを防止することができる。従って、より電気的特性に優れた回路基板を設計することができる。

【0181】以上のように、請求項15記載の本発明によれば、対策部品の定格値の変更を行った後、レイアウトされた回路の電気的特性が改善されないときには、電気的特性がよくない回路部分のレイアウトを変更するとともに、依然として前記回路の電気的特性が改善されないときには、さらに、前回のレイアウトの際に削除された対策部品のうちからその優先順位にしたがって対策部品を再度付加することができ、これにより、さらに、電気的特性に優れた回路基板を設計することができる。

【0182】以上のように、請求項16記載の本発明によれば、前記回路テストサブステップにおいて、基本設計された電気回路の特性を回路シミュレーションを行うことによって評価し、前記対策部品付加サブステップにおいて、評価がよくない回路部分に適切な対策部品を付加することによって、基本設計された電気回路が基板上にレイアウトされる前に、ノイズ防止対策を予め施しておくことができる。従って、より電気的特性に優れた回路基板を設計することができる。

【0183】以上のように、請求項17記載の本発明によれば、前記回路テスト評価サブステップにおいて回路シミュレーションを行うことにより、前記対策部品付加サブステップにおいて対策部品を付加された回路の電気的特性を評価し、評価がよくない回路部分に付加されている対策部品の定格値を前記対策部品定格値変更サブステップにおいて変更することによって、対策部品付加後の電気回路が基板上にレイアウトされる前の段階で、ノイズ防止対策を予め施しておくことができる。従って、より電気的特性に優れた回路基板を設計することができる。

【0184】以上のように、請求項18記載の本発明によれば、対策部品の定格値の変更の結果、変更後の対策部品の定格値が、その対策部品自体をほとんど無視する

ことができるような小さな値となったとき、またはその対策部品が必要でないような大きな値となったとき、当該対策部品を削除することができる。また、これにより、電気的特性に優れた回路基板を設計することができるとともに、設計される回路基板に費やされる資源を節約し、前記回路基板の小型化を図ることができる。

【0185】以上のように、請求項19記載の本発明によれば、設計しようとする回路基板毎に最適な設計基準を作成し、前記設計基準に基づいてレイアウトを行うことにより、より電気的特性に優れた回路基板を設計することができるとともに、設計される回路基板に費やされる資源を節約し、前記回路基板の小型化を図ることができる。

【0186】以上のように、請求項20記載の本発明によれば、回路基板の設計段階で逐次、伝送線路シミュレーションを行い、基板上にレイアウトされた回路の電気的特性を評価することによって、より電気的特性に優れた回路基板を設計することができる。以上のように、請求項21記載の本発明によれば、伝送線路シミュレーションによる電気的特性の評価に基づいて、設計しようとする回路基板毎に最適な設計基準を作成し、作成した前記設計基準に基づいてレイアウトを行うことにより、設計しようとする回路基板により適した設計基準に基づいてレイアウトを行うことができ、より電気的特性に優れた回路基板を設計することができる。

【0187】以上のように、請求項22記載の本発明によれば、設計しようとする回路基板のパラメータの値に応じてメモリ内に設計基準作成対象毎に予め記憶されている設計基準を読み出し、読み出した前記設計基準に基づいてレイアウトを行うことにより、設計しようとする回路基板により適した設計基準に基づいてレイアウトを行うことができ、より電気的特性に優れた回路基板を設計することができる。

【0188】以上のように、請求項23記載の本発明によれば、テスト評価対象を含む回路部分に付加されている対策部品の種類および定格値がメモリ内に予め記憶されているテスト評価基準を満足するかどうかを判定することにより、基板上にレイアウトされた回路基板の特性を逐次、テスト評価することができ、前記テスト評価の結果に基づいて、より電気的特性に優れた回路基板を設計することができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例であるプリント基板設計システムの構成図である。

【図2】回路図CADから入力される回路情報の内容を説明するための回路図である。

【図3】基板情報の内容を具体的に説明するための斜視図である。

【図4】設計基準の具体例の一部を示す図である。

【図5】対策部品回目パターン情報の一例を示す図であ

る。

【図6】定格値の変更許容範囲設定の一例を示す回路図である。

【図7】(a)最終的に決定された回路情報を示す回路図である。

(b)前記回路がプリント基板上で実際にレイアウトされた場合の座標上の配置を示す平面図である。

(c)基板設計情報に含まれる基板情報を説明するための図である。

10 【図8】(a)対策部品認識部121が対策部品付加対象ネットとして認識した対策部品付加箇所の一例を示す回路図である。

(b)対策部品付加部122が前記ネットに反射対策部品を付加した一例を示す回路図である。

(c)定格値変更部124が前記反射対策部品の部品定格値に修正を加えた一例を示す回路図である。

【図9】(a)シミュレーションの際に図8(a)、図8(b)および図8(c)に示すネットに入力される信号波形を示す波形図である。

20 (b)シミュレーションの結果、図8(a)に示すネットの入力ピン側で取り出される出力波形を示す波形図である。

(c)シミュレーションの結果、図8(b)に示すネットの入力ピン側で取り出される出力波形を示す波形図である。

(d)シミュレーションの結果、図8(c)に示すネットの入力ピン側で取り出される出力波形を示す波形図である。

30 【図10】本発明の一実施例であるプリント基板設計方法の設計手順を示すフローチャートである。

【図11】設計基準作成部133における設計基準作成の手順の一例を示すフローチャートである。

【図12】設計基準作成部133における設計基準作成の手順の他の例を示すフローチャートである。

【図13】従来のCADを用いたプリント基板の設計手順を示すフローチャートである。

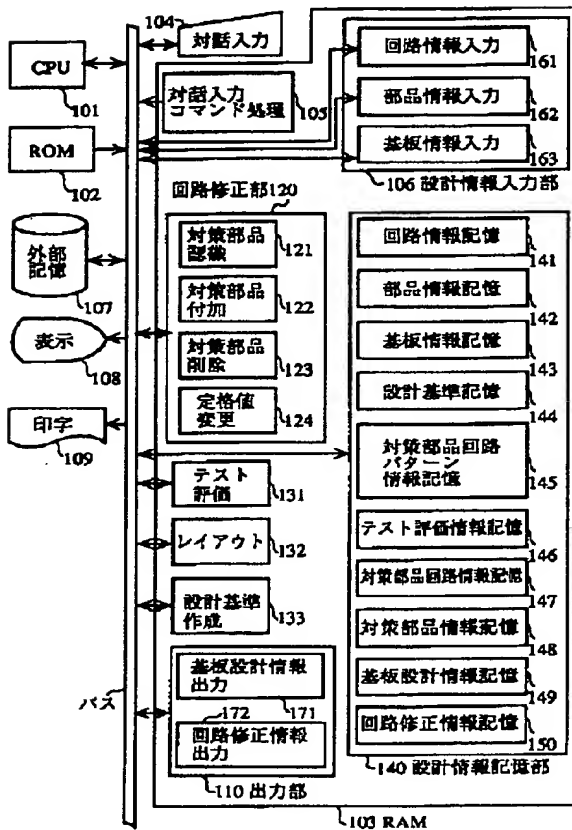
#### 【符号の説明】

101	CPU
102	ROM
103	RAM
104	対話入力部
105	対話入力コマンド処理部
106	設計情報入力部
107	外部記憶部
108	表示部
109	印字部
110	出力部
120	回路修正部
121	対策部品認識部
122	対策部品付加部

63

- 1 2 3 対策部品削除部
- 1 2 4 定格値変更部
- 1 3 1 テスト評価部
- 1 3 2 レイアウト部
- 1 3 3 設計基準作成部
- 1 4 0 設計情報記憶部
- 1 4 1 回路情報記憶部
- 1 4 2 部品情報記憶部
- 1 4 3 基板情報記憶部
- 1 4 4 設計基準記憶部
- 1 4 5 対策部品回路パターン情報記憶部

【図1】



【図4】

## 設計基準

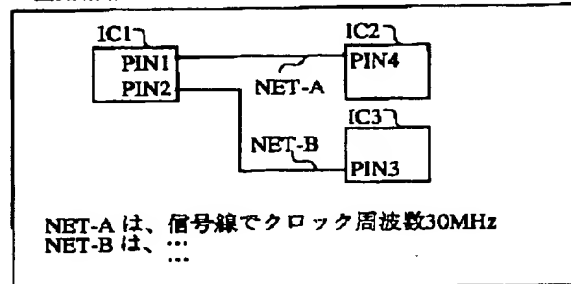
NET-AとNET-Bの平行配線長制限は10センチ以下  
NET-AとNET-Bは等長配線でなければならない  
---

64

- 1 4 6 テスト評価情報記憶部
- 1 4 7 対策部品回路情報記憶部
- 1 4 8 対策部品情報記憶部
- 1 4 9 基板設計情報記憶部
- 1 5 0 回路修正情報記憶部
- 1 6 1 回路情報入力部
- 1 6 2 部品情報入力部
- 1 6 3 基板情報入力部
- 1 7 1 基板設計情報出力部
- 10 1 7 2 回路修正情報出力部

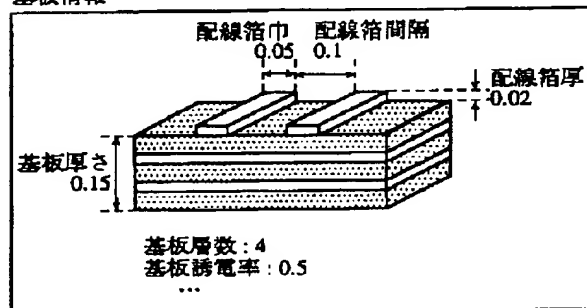
【図2】

## 回路情報

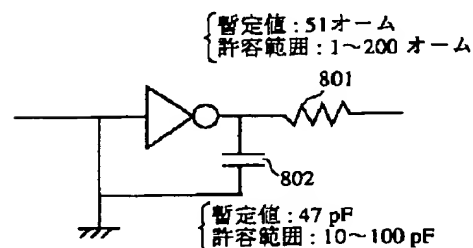


【図3】

## 基板情報



【図6】



【図5】

## 対策部品回路パターン

クロックラインの出力にはダンピング抵抗を付与する  
(直列抵抗)  
高速(10 MHz以上) なバスの出力にはダンピング抵抗を  
付与する (直列抵抗)

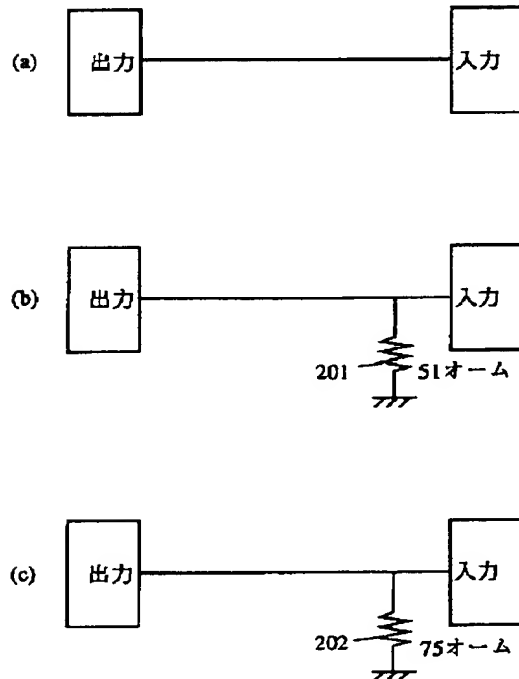
クロックラインの入力部には終端抵抗を付与する  
(並列抵抗)

DRAM のRAS入力部には終端抵抗を付与する  
(並列抵抗)

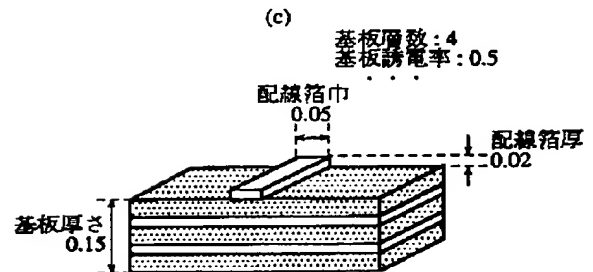
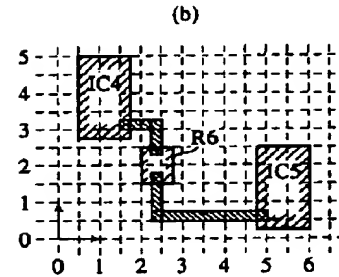
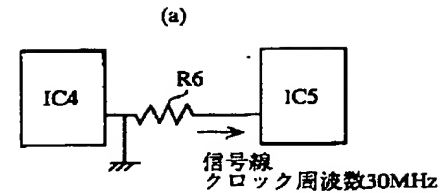
高速(10 MHz以上) なコネクタへの入力部には  
フェライトビーズを付与するデータバス  
(ハイインピーダンス)はプルアップする(プルアップ抵抗  
&電源)  
コネクタからの出力部はプルアップする(プルアップ  
抵抗&電源)

⋮

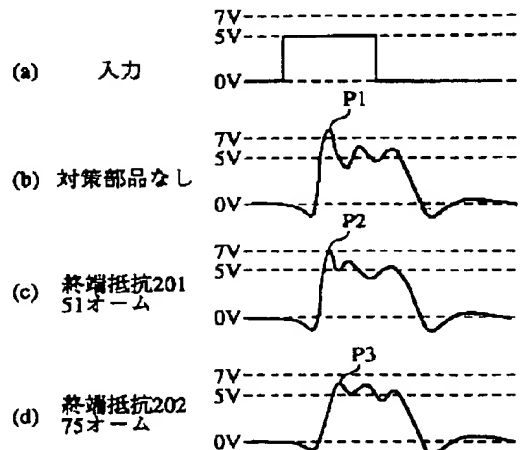
【図8】



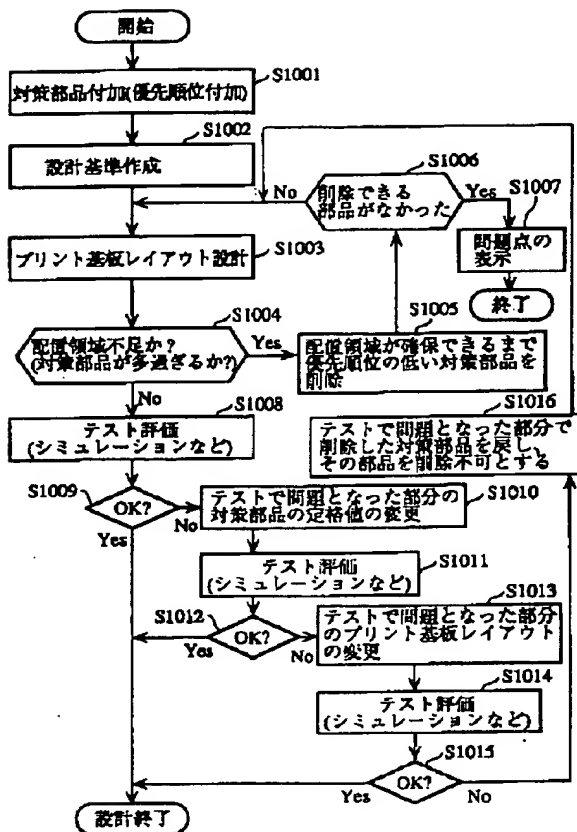
【図7】



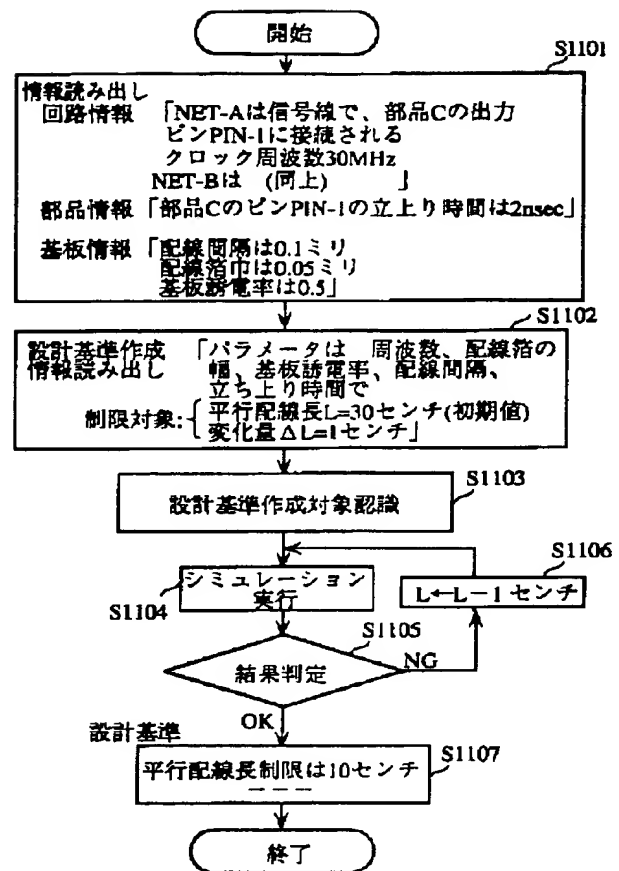
【図9】



【図10】

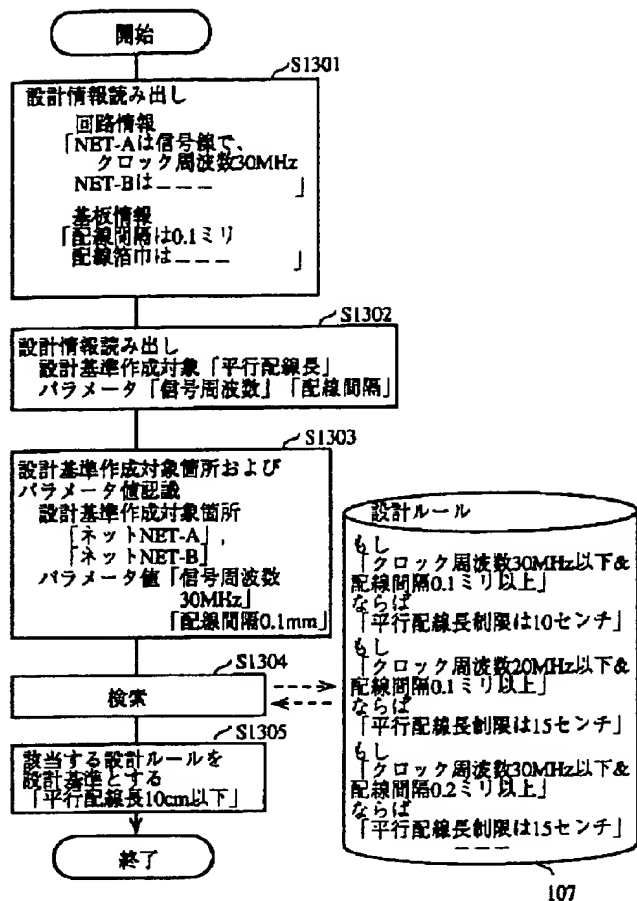


【図11】

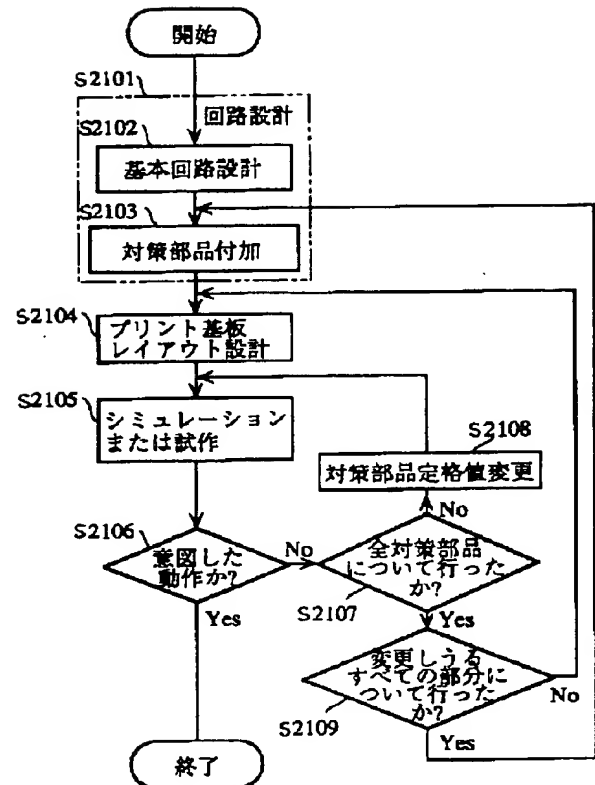




【図12】



【図13】



フロントページの続き

(72)発明者 西村 祐一  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 三浦 伸治  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 齊藤 義行  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 末田 信雄  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内